

**POWER AMPLIFIER CIRCUIT**

Patent Number: JP62230206  
Publication date: 1987-10-08  
Inventor(s): ANPO MASAHARU  
Applicant(s): TOSHIBA CORP  
Requested Patent: JP62230206  
Application Number: JP19860072895 19860331  
Priority Number(s):  
IPC Classification: H03F3/30; H03F3/45  
EC Classification:  
Equivalents: JP2023714C, JP7058872B

---

**Abstract**

---

**PURPOSE:** To stabilize the titled circuit by a low idling current by loading a common source transistor (TR) deciding the idling current of an output stage to an output of a differential amplifier in a push-pull output stage drive circuit using the differential amplifier.

**CONSTITUTION:** When an input is zero, a current I201 of a common source TR Q201 and a current I202 of a constant current source TR Q202 are made equal. In this case, the idling currents I101, I102 of the output drive TRs are expressed as the division of the W/L ratio of the TR Q101 by the W/L ratio of the TR Q201 multiplied by the current I201. Thus, the circuit is made stable by using the small idling current with simple constitution.

---

Data supplied from the **esp@cenet** database - I2

**THIS PAGE BLANK (USP 10)**

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-58872

(24) (44) 公告日 平成7年(1995)6月21日

(51) Int.Cl.<sup>8</sup>

H 0 3 F 3/30

識別記号

庁内整理番号

8839-5 J

F I

技術表示箇所

発明の数14(全 31 頁)

(21) 出願番号 特願昭61-72895

(22) 出願日 昭和61年(1986)3月31日

(65) 公開番号 特開昭62-230206

(43) 公開日 昭和62年(1987)10月8日

(71) 出願人 999999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 安保 正治

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(74) 代理人 弁理士 鈴江 武彦 (外2名)

審査官 伊東 和重

(56) 参考文献 特開 昭60-79809 (J P, A)

特開 昭62-147802 (J P, A)

(54) 【発明の名称】 電力増幅回路

1

【特許請求の範囲】

【請求項1】 差動入力信号で制御される第1導電型の一対の第1差動入力トランジスタ、これら第1差動入力トランジスタの電流通路の一端にそれぞれ等しい第1、第2の電流を供給するカレントミラー回路構成の電流供給手段、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、

第1の電源端と出力端との間に接続され、上記一対の第1差動入力トランジスタの一方を流れる電流に基づいて制御される第2導電型の第1出力駆動用トランジスタと、

上記差動入力信号で制御される第2導電型の一対の第2差動入力トランジスタ、これら第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、

2

及び上記第2差動入力トランジスタの電流通路の他端からそれぞれ等しい第3、第4の電流を排出するカレントミラー回路構成の電流排出手段を有する第2の差動増幅回路と、

第2の電源端と上記出力端との間に接続され、上記一対の第2差動入力トランジスタの一方を流れる電流に基づいて制御される第1導電型の第2出力駆動用トランジスタと、

電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続される第2導電型のトランジスタと、

上記第2導電型のトランジスタの電流通路の他端と第2の電源端との間に設けられる第3の電流源と、を具備し、

上記第2導電型のトランジスタの電流通路の他端と上記

第3の電流源との接続点の電流を、上記一対の第2差動入力トランジスタの他方と上記電流排出手段との接続点に流すことを特徴とする電力増幅回路。

【請求項2】差動入力信号で制御される第1導電型の一対の第1差動入力トランジスタ、これら第1差動入力トランジスタの電流通路の一端にそれぞれ等しい第1、第2の電流を供給するカレントミラー回路構成の電流供給手段、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、

第1の電源端と出力端との間に接続され、上記一対の第1差動入力トランジスタの一方を流れる電流に基づいて制御される第2導電型の第1出力駆動用トランジスタと、

上記差動入力信号で制御される第2導電型の一対の第2差動入力トランジスタ、これら第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、及び上記一対の第2差動入力トランジスタの電流通路の他端からそれぞれ等しい第3、第4の電流を排出するカレントミラー回路構成の電流排出手段を有する第2の差動増幅回路と、

第2の電源端と上記出力端との間に接続され、上記一対の第2差動入力トランジスタの一方を流れる電流に基づいて制御される第1導電型の第2出力駆動用トランジスタと、

電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続され、電流通路の他端が上記一対の第2差動入力トランジスタの他方と上記電流排出手段との接続点に接続される第2導電型のトランジスタと、

上記一対の第2差動入力トランジスタの一方と上記電流排出手段との接続点と上記第1の電源端間に接続される第3の電流源と、

を具備することを特徴とする電力増幅回路。

【請求項3】差動入力信号で制御される第1導電型の一対の差動入力トランジスタと、

これら差動入力トランジスタの電流通路の一端にそれぞれ第1、第2の電流を供給する第1、第2の電流供給手段と、

上記差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源と、

第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、

第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて

上記第1出力駆動用トランジスタを制御する第1の制御手段と、

第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、

第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、

電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続される第2導電型のトランジスタと、

上記第2導電型のトランジスタの電流通路の他端と第2の電源端との間に設けられる第2電流源と、

を具備し、  
上記第2導電型のトランジスタの電流通路の他端と上記第2電流源との接続点の電流に基づいて、上記第5の電流供給手段から上記第2のカレントミラー回路に供給される電流を制御することを特徴とする電力増幅回路。

【請求項4】差動入力信号で制御される第1導電型の一対の差動入力トランジスタと、

これら差動入力トランジスタの電流通路の一端にそれぞれ第1、第2の電流を供給する第1、第2の電流供給手段と、

上記差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源と、

第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、

第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、

第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、

第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて

5

上記第2出力駆動用トランジスタを制御する第2の制御手段と、  
電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続され、電流通路の他端が上記第5の電流供給手段と上記第2のカレントミラー回路との接続点に接続される第2導電型のトランジスタと、  
上記第6の電流供給手段と上記第2のカレントミラー回路との接続点と上記第1の電源端間に設けられる第2電流源と、  
を具備することを特徴とする電力増幅回路。

【請求項5】差動入力信号で制御される第1導電型の一对の第1差動入力トランジスタ、これら第1差動入力トランジスタの電流通路の一端にそれぞれ第1,第2の電流を供給する第1,第2の電流供給手段、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、  
上記差動入力信号で制御される第2導電型の一对の第2差動入力トランジスタ、これら第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、上記一对の第2差動入力トランジスタの一方の電流通路の他端から上記第2の電流供給手段の出力電流と等しい電流を排出する第1の電流排出手段、及び上記一对の第2差動入力トランジスタの他方の電流通路の他端から上記第1の電流供給手段の出力電流と等しい電流を排出する第2の電流排出手段を有する第2の差動増幅回路と、  
第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、  
第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、  
第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、  
第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、  
電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続され

6

る第2導電型のトランジスタと、  
上記第2導電型のトランジスタの電流通路の他端と第2の電源端との間に設けられる第3電流源と、  
を具備し、  
上記第2導電型のトランジスタの電流通路の他端と上記第3電流源との接続点の電流に基づいて、上記第5の電流供給手段から上記第2のカレントミラー回路に供給される電流を制御することを特徴とする電力増幅回路。

- 【請求項6】差動入力信号で制御される第1導電型の一对の第1差動入力トランジスタ、これら第1差動入力トランジスタの電流通路の一端にそれぞれ第1,第2の電流を供給する第1,第2の電流供給手段、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、  
上記差動入力信号で制御される第2導電型の一对の第2差動入力トランジスタ、この第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、上記一对の第2差動入力トランジスタの一方の電流通路の他端から上記第2の電流供給手段の出力電流と等しい電流を排出する第1の電流排出手段、及び上記一对の第2差動入力トランジスタの他方の電流通路の他端から上記第1の電流供給手段の出力電流と等しい電流を排出する第2の電流排出手段を有する第2の差動増幅回路と、  
第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、  
第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、  
第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、  
第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、  
電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続され、電流通路の他端が上記第5の電流供給手段と上記第2カレントミラー回路との接続点に接続される第2導電型のトランジスタと、

上記第6の電流供給手段と上記第2カレントミラー回路との接続点と上記第1の電源端との間に設けられる第3電流源と、

を具備することを特徴とする電力増幅回路。

【請求項7】差動入力信号で制御される第1導電型の一对の差動入力トランジスタと、

これら差動入力トランジスタの電流通路の一端にそれぞれ第1,第2の電流を供給する第1,第2の電流供給手段と、

上記差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源と、

第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、

第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、

第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、

第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、

電流通路の一端が上記第2の電源端に接続され、制御端が上記第2出力駆動用トランジスタの制御端に接続される第1導電型のトランジスタと、

上記第1導電型のトランジスタの電流通路の他端と第1の電源端との間に設けられる第2電流源と、を具備し、

上記第1導電型のトランジスタの電流通路の他端と上記第2電流源との接続点の電流に基づいて、上記第3の電流供給手段から上記第1のカレントミラー回路に供給される電流を制御することを特徴とする電力増幅回路。

【請求項8】差動入力信号で制御される第1導電型の一对の差動入力トランジスタと、

これら差動入力トランジスタの電流通路の一端にそれぞれ第1,第2の電流を供給する第1,第2の電流供給手段と、

上記差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源と、

第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、

第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、

第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、

第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、

電流通路の一端が上記第2の電源端に接続され、制御端が上記第2出力駆動用トランジスタの制御端に接続され、電流通路の他端が上記第3の電流供給手段と上記第1のカレントミラー回路との接続点に接続される第1導電型のトランジスタと、

上記第4の電流供給手段と上記第1のカレントミラー回路との接続点と上記第2の電源端間に設けられる第2電流源と、

を具備することを特徴とする電力増幅回路。

【請求項9】差動入力信号で制御される第1導電型の一对の第1差動入力トランジスタ、これら一对の第1差動入力トランジスタの一方の電流通路の一端に第1の電流路が接続され第1の電流を供給する第1のカレントミラー回路、上記一对の第1差動入力トランジスタの他方の電流通路の一端に第1の電流路が接続され第2の電流を供給する第2のカレントミラー回路、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、

第1の電源端と出力端との間に接続され、上記第2のカレントミラー回路の第2の電流路から供給される電流に基づいて制御される第2導電型の第1出力駆動用トランジスタと、

第1の電流路に上記第1のカレントミラー回路の第2の電流路から電流が供給され、第2の電流路から上記第1出力駆動用トランジスタの制御端の電流を排出する第3のカレントミラー回路と、

上記差動入力信号で制御される第2導電型の一对の第2差動入力トランジスタ、これら第2差動入力トランジスタ

タの電流通路の一端にそれぞれ接続される第2電流源、  
上記一対の第2差動入力トランジスタの一方の電流通路  
の他端に第1の電流路が接続され第3の電流を排出する  
第4のカレントミラー回路、及び上記一対の第2差動入  
力トランジスタの他方の電流通路の他端に第1の電流路  
が接続され第4の電流を排出する第5のカレントミラー  
回路を有する第2の差動増幅回路と、

第2の電源端と上記出力端との間に接続され、上記第5  
のカレントミラー回路の第2の電流路を流れる電流に基  
づいて制御される第1導電型の第2出力駆動用トランジ  
スタと、

第1の電流路から上記第4のカレントミラー回路の第2  
の電流路に電流を供給し、第2の電流路から上記第1出  
力駆動用トランジスタの制御端及び上記第5のカレント  
ミラー回路の第2の電流路に電流を供給する第6のカレ  
ントミラー回路と、

電流通路の一端が上記第1の電源端に接続され、制御端  
が上記第1出力駆動用トランジスタの制御端に接続され  
る第2導電型のトランジスタと、

上記第2導電型のトランジスタの電流通路の他端と第2  
の電源端との間に設けられる第3の電流源と、

を具備し、

上記第2導電型のトランジスタの電流通路の他端と上記  
第3の電流源との接続点の電流を、上記第4カレントミ  
ラー回路の第2の電流路に流すことを特徴とする電力増  
幅回路。

【請求項10】差動入力信号で制御される第1導電型の  
一対の第1差動入力トランジスタ、これら一対の第1差  
動入力トランジスタの一方の電流通路の一端に第1の電  
流路が接続され第1の電流を供給する第1のカレントミ  
ラー回路、上記一対の第1差動入力トランジスタの他方  
の電流通路の一端に第1の電流路が接続され第2の電流  
を供給する第2のカレントミラー回路、及び上記第1差  
動入力トランジスタの電流通路の他端にそれぞれ接続さ  
れる第1電流源を有する第1の差動増幅回路と、

第1の電源端と出力端との間に接続され、上記第2のカ  
レントミラー回路の第2の電流路から供給される電流に  
基づいて制御される第2導電型の第1出力駆動用トラン  
ジスタと、

第1の電流路に上記第1のカレントミラー回路の第2の  
電流路から電流が供給され、第2の電流路から上記第1  
出力駆動用トランジスタの制御端の電流を排出する第3  
のカレントミラー回路と、

上記差動入力信号で制御される第2導電型の一対の第2  
差動入力トランジスタ、これら第2差動入力トランジス  
タの電流通路の一端にそれぞれ接続される第2電流源、  
上記一対の第2差動入力トランジスタの一方の電流通路  
の他端に第1の電流路が接続され第3の電流を排出する  
第4のカレントミラー回路、及び上記一対の第2差動入  
力トランジスタの他方の電流通路の他端に第1の電流路

が接続され第4の電流を排出する第5のカレントミラー  
回路を有する第2の差動増幅回路と、  
第2の電源端と上記出力端との間に接続され、上記第5  
のカレントミラー回路の第2の電流路を流れる電流に基  
づいて制御される第1導電型の第2出力駆動用トランジ

が接続され第4の電流を排出する第5のカレントミラー  
回路を有する第2の差動増幅回路と、

第2の電源端と上記出力端との間に接続され、上記第5  
のカレントミラー回路の第2の電流路を流れる電流に基  
づいて制御される第1導電型の第2出力駆動用トランジ  
スタと、

第1の電流路から上記第4のカレントミラー回路の第2  
の電流路に電流を供給し、第2の電流路から上記第1出  
力駆動用トランジスタの制御端及び上記第5のカレント  
ミラー回路の第2の電流路に電流を供給する第6のカレ  
ントミラー回路と、

電流通路の一端が上記第1の電源端に接続され、制御端  
が上記第1出力駆動用トランジスタの制御端に接続され  
る第2導電型のトランジスタと、

上記第2導電型のトランジスタの電流通路の他端と第2  
の電源端との間に設けられる第3の電流源と、

を具備し、

上記第2導電型のトランジスタの電流通路の他端と上記  
第3の電流源との接続点の電流を、上記第5カレントミ  
ラー回路の第1の電流路に流すことを特徴とする電力増  
幅回路。

【請求項11】差動入力信号で制御される第1導電型の  
一対の第1差動入力トランジスタ、これら一対の第1差  
動入力トランジスタの一方の電流通路の一端に第1の電  
流路が接続され第1の電流を供給する第1のカレントミ  
ラー回路と、上記一対の第1差動入力トランジスタの他  
方の電流通路の一端に第1の電流路が接続され第2の電  
流を供給する第2のカレントミラー回路、及び上記第1  
差動入力トランジスタの電流通路の他端にそれぞれ接続  
される第1電流源を有する第1の差動増幅回路と、

第1の電源端と出力端との間に接続され、上記第2のカ  
レントミラー回路の第2の電流路から供給される電流に  
基づいて制御される第2導電型の第1出力駆動用トラン  
ジスタと、

第1の電流路に上記第1のカレントミラー回路の第2の  
電流路から電流が供給され、第2の電流路から上記第1  
出力駆動用トランジスタの制御端の電流を排出する第3  
のカレントミラー回路と、

上記差動入力信号で制御される第2導電型の一対の第2  
差動入力トランジスタ、これら第2差動入力トランジス  
タの電流通路の一端にそれぞれ接続される第2電流源、  
上記一対の第2差動入力トランジスタの一方の電流通路  
の他端に第1の電流路が接続され第3の電流を排出する  
第4のカレントミラー回路、及び上記一対の第2差動入  
力トランジスタの他方の電流通路の他端に第1の電流路

が接続され第4の電流を排出する第5のカレントミラー  
回路を有する第2の差動増幅回路と、  
第2の電源端と上記出力端との間に接続され、上記第5  
のカレントミラー回路の第2の電流路を流れる電流に基  
づいて制御される第1導電型の第2出力駆動用トランジ

が接続され第4の電流を排出する第5のカレントミラー  
回路を有する第2の差動増幅回路と、  
第2の電源端と上記出力端との間に接続され、上記第5  
のカレントミラー回路の第2の電流路を流れる電流に基  
づいて制御される第1導電型の第2出力駆動用トランジ

が接続され第4の電流を排出する第5のカレントミラー  
回路を有する第2の差動増幅回路と、  
第2の電源端と上記出力端との間に接続され、上記第5  
のカレントミラー回路の第2の電流路を流れる電流に基  
づいて制御される第1導電型の第2出力駆動用トランジ

スタと、

第1の電流路から上記第4のカレントミラー回路の第2の電流路に電流を供給し、第2の電流路から上記第1出力駆動用トランジスタの制御端及び上記第5のカレントミラー回路の第2の電流路に電流を供給する第6のカレントミラー回路と、

電流通路の一端が上記第1の電源端に接続され、制御端が上記第1出力駆動用トランジスタの制御端に接続され、電流通路の他端が前記第4のカレントミラー回路の第2の電流路に接続される第2導電型のトランジスタと、

上記第6のカレントミラー回路の第2の電流路と上記第1の電源端との間に設けられる第3の電流源と、  
を具備することを特徴とする電力増幅回路。

【請求項12】差動入力信号で制御される第1導電型の一对の第1差動入力トランジスタ、これら第1差動入力トランジスタの一方の電流通路の一端に第1の電流路が接続され第1の電流を供給する第1のカレントミラー回路と、上記一对の第1差動入力トランジスタの他方の電流通路の一端に第1の電流路が接続され第2の電流を供給する第2のカレントミラー回路、及び上記一对の第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、  
第1の電源端と出力端との間に接続され、上記第2のカレントミラー回路の第2の電流路から供給される電流に基づいて制御される第2導電型の第1出力駆動用トランジスタと、

第1の電流路に上記第1のカレントミラー回路の第2の電流路から電流が供給され、第2の電流路から上記第1出力駆動用トランジスタの制御端の電流を排出する第3のカレントミラー回路と、

上記差動入力信号で制御される第2導電型の一对の第2差動入力トランジスタ、これら第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、  
上記一对の第2差動入力トランジスタの一方の電流通路の他端に第1の電流路が接続され第3の電流を排出する第4のカレントミラー回路、及び上記一对の第2差動入力トランジスタの他方の電流通路の他端に第1の電流路が接続され第4の電流を排出する第5のカレントミラー回路を有する第2の差動増幅回路と、

第2の電源端と上記出力端との間に接続され、上記第5のカレントミラー回路の第2の電流路を流れる電流に基づいて制御される第1導電型の第2出力駆動用トランジスタと、

第1の電流路から上記第4のカレントミラー回路の第2の電流路に電流を供給し、第2の電流路から上記第1出力駆動用トランジスタの制御端及び上記第5のカレントミラー回路の第2の電流路に電流を供給する第6のカレントミラー回路と、

電流通路の一端が上記第1の電源端に接続され、制御端

が上記第1出力駆動用トランジスタの制御端に接続され、電流通路の他端が上記一对の第2の差動入力トランジスタの他方と第5のカレントミラー回路との接続点に接続される第2導電型のトランジスタと、

上記一对の第2の差動入力トランジスタの一方と第4のカレントミラー回路との接続点と上記第1の電源端との間に設けられる第3の電流源と、  
を具備することを特徴とする電力増幅回路。

【請求項13】差動入力信号で制御される第1導電型の一对の第1差動入力トランジスタ、これら第1差動入力トランジスタの電流通路の一端にそれぞれ第1、第2の電流を供給する第1、第2の電流供給手段、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、

上記差動入力信号で制御される第2導電型の一对の第2差動入力トランジスタ、これら第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、  
上記一对の第2差動入力トランジスタの一方の電流通路の他端から上記第2の電流供給手段の出力電流と等しい電流を排出する第1の電流排出手段、及び上記一对の第2差動入力トランジスタの他方の電流通路の他端から上記第1の電流供給手段の出力電流と等しい電流を排出する第2の電流排出手段を有する第2の差動増幅回路と、  
第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、

第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、

第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、

第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、

電流通路の一端が上記第2の電源端に接続され、制御端が上記第2出力駆動用トランジスタの制御端に接続される第1導電型のトランジスタと、

上記第1導電型のトランジスタの電流通路の他端と第1の電源端との間に設けられる第3電流源と、



を具備し、

上記第1導電型のトランジスタの電流通路の他端と上記第3電流源との接続点の電流に基づいて、上記第3の電流供給手段から上記第1のカレントミラー回路に供給される電流を制御することを特徴とする電力増幅回路。

【請求項14】 差動入力信号で制御される第1導電型の一对の第1差動入力トランジスタ、これら第1差動入力トランジスタの電流通路の一端にそれぞれ第1、第2の電流を供給する第1、第2の電流供給手段、及び上記第1差動入力トランジスタの電流通路の他端にそれぞれ接続される第1電流源を有する第1の差動増幅回路と、  
上記差動入力信号で制御される第2導電型の一对の第2差動入力トランジスタ、この第2差動入力トランジスタの電流通路の一端にそれぞれ接続される第2電流源、上記一对の第2差動入力トランジスタの一方の電流通路の他端から上記第2の電流供給手段の出力電流と等しい電流を排出する第1の電流排出手段、及び上記一对の第2差動入力トランジスタの他方の電流通路の他端から上記第1の電流供給手段の出力電流と等しい電流を排出する第2の電流排出手段を有する第2の差動増幅回路と、  
第1の電源端と出力端との間に接続される第2導電型の第1出力駆動用トランジスタと、  
第1のカレントミラー回路、この第1のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第3の電流供給手段、及び上記第1のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第4の電流供給手段を備え、上記第4の電流供給手段と上記第1のカレントミラー回路との接続点の電流に基づいて上記第1出力駆動用トランジスタを制御する第1の制御手段と、  
第2の電源端と上記出力端との間に接続される第1導電型の第2出力駆動用トランジスタと、  
第2のカレントミラー回路、この第2のカレントミラー回路の一方の電流路に上記第1の電流供給手段の出力電流と等しい電流を供給する第5の電流供給手段、及び上記第2のカレントミラー回路の他方の電流路に上記第2の電流供給手段の出力電流と等しい電流を供給する第6の電流供給手段を備え、上記第6の電流供給手段と上記第2のカレントミラー回路との接続点の電流に基づいて上記第2出力駆動用トランジスタを制御する第2の制御手段と、  
電流通路の一端が上記第2の電源端に接続され、制御端が上記第2出力駆動用トランジスタの制御端に接続され、電流通路の他端が上記第3の電流供給手段と上記第1のカレントミラー回路との接続点に接続される第1導電型のトランジスタと、  
上記第4の電流供給手段と上記第1のカレントミラー回路との接続点と上記第2の電源端との間に設けられる第3電流源と、

を具備することを特徴とする電力増幅回路。

【発明の詳細な説明】

【発明の目的】

（産業上の利用分野）

本発明は、CMOS（相補性絶縁ゲート型）電力増幅回路に係り、たとえば音声合成用LSIに設けられて直接にスピーカを駆動する場合などに使用される。

（従来の技術）

この種の従来のCMOS電力増幅回路は、第8図に示すような演算増幅器が用いられている。即ち、81、82は差動入力増幅用の差動対をなすNチャネルMOSトランジスタであり、その定電流源としてNチャネルMOSトランジスタ83のゲートにバイアス電圧 $V_{bias}$ が与えられている。84、85は上記増幅用トランジスタの負荷として接続されるカレントミラー回路を形成するPチャネルMOSトランジスタである。86は $V_{DD}$ 電源端と出力端OUTとの間に接続された出力駆動用のPチャネルMOSトランジスタであり、そのゲートに前記差動増幅用トランジスタ81、82の増幅出力が入力し、ゲート、ソース間に位相補正用容量Cが接続されている。87は上記出力駆動用トランジスタ86の定電流源として前記出力端OUTと $V_{SS}$ 電源端（接地端）との間に接続されたNチャネルMOSトランジスタであり、そのゲートに前記バイアス電圧 $V_{bias}$ が与えられている。  
上記回路はA級増幅動作を行なうものであり、出力端OUTにたとえば8Ω系スピーカ（図示せず）を直接に接続して最大出力として±2Vの波形を出力するためには、出力端OUTの電流 $I_L$ または $I_S$ の最大値として±250mAを流す必要がある。また、出力駆動用トランジスタ86がカットオフしたときに出力端OUTの電流 $I_L$ は定電流源87の電流 $I_S$ と等しくなり、定電流源の電流値は250mA以上でなければならない。

しかし、このようなA級増幅器は定常状態における消費電力が非常に大きく、電池電源により動作させることが実用上困難であると共に集積回路チップの発熱が大きくなるので、回路動作の信頼性が低下し易いという問題がある。

一方、特開昭60-38907号公報に開示されたCMOS電力増幅回路は、AB級動作を行なうようにし、出力駆動用トランジスタのアイドル電流を低く抑えることができるので、消費電力の点で非常に有利である。しかし、この回路は、第9図に示すように差動回路または演算増幅器が3個A1、A2、A3必要であるので、使用素子数が多く、チップ面積が大きくなるという問題がある。また、出力電圧 $V_{out}$ がNチャネルトランジスタの閾値電圧 $V_{thn}$ 以下になると、レベルシフト用トランジスタ91がカットオフしてしまつて低電源側出力駆動用トランジスタ92に帰還がかからなくなり、出力波形が歪む原因となり、これを避けようとする出力振幅を電源電圧振幅まで十分にとることが不可能となる。

50 （発明が解決しようとする問題点）

本発明は上記したような消費電力が大きいか使用素子数が多くてチップ面積が大きく、出力振幅が十分に取れないという問題点を解決すべくなされたもので、AB級動作を行なうことで消費電力が小さくて済み、しかも回路構成が簡単で使用素子数が少なくてチップ面積が小さくて済み、出力振幅をほぼ電源電圧いっぱいまでとることが可能な電力増幅回路を提供することを目的とする。

〔発明の構成〕

（問題点を解決するための手段）

本発明の電力増幅回路は、第1電源端と出力端との間に出力駆動用のPチャネルトランジスタを接続し、上記出力端と第2電源端との間に出力駆動用のNチャネルトランジスタを接続し、差動入力信号を増幅して上記Pチャネルトランジスタ、Nチャネルトランジスタの各ゲート

を別々に直接または間接的に駆動する差動増幅回路を設け、一方の出力駆動用トランジスタの同一チャネル型であるソース接地トランジスタを設けてそのゲートを上記一方の出力駆動用トランジスタのゲートに接続し、上記ソース接地トランジスタのドレインを他方の出力駆動用トランジスタを駆動している回路の電流路に接続してなることを特徴とする。

（作用）

上記ソース接地型トランジスタとこれにゲート、ソースが共通接続された一方の出力駆動用トランジスタとの電流比はそれぞれのW/Lの比によって定まる。これによって、出力端の出力電流が零のときにおける出力駆動用トランジスタのアイドル電流が僅かな状態で回路動作が安定になるように制御することが可能になり、また、差動入力信号に対して出力駆動用トランジスタをAB級で動作させることが可能になる。

（実施例）

以下、図面を参照して本発明の一実施例を詳細に説明する。第1図(a)に示すCMOS電力増幅回路は集積回路化されており、 $Q_{o1}$ は $V_{DD}$ 電源端と出力端OUTとの間に接続されたPチャネルMOS FET（電界効果トランジスタ）、 $Q_{o2}$ は上記出力端OUTと $V_{SS}$ 電源端（接地端）との間に接続されたNチャネルMOS FETである。 $C_1$ 、 $C_2$ は上記Pチャネルトランジスタ $Q_{o1}$ 、Nチャネルトランジスタ $Q_{o2}$ それぞれのゲート・ドレイン間に接続された位相補正容量である。Diff1、Diff2は差動入力端1,2の作動入力電圧をそれぞれ差動増幅する第1,第2の差動増幅回路であり、それぞれの増幅出力は対応して前記Pチャネルトランジスタ $Q_{o1}$ 、Nチャネルトランジスタ $Q_{o2}$ のゲートに与えられている。上記第1の差動増幅回路Diff1において、 $Q_1$ 、 $Q_2$ は差動増幅対をなすNチャネルトランジスタであり、その動作バイアス電流はゲートにバイアス電圧 $V_{B1}$ が与えられる定電流源用のNチャネルトランジスタ $Q_b$ により与えられ、増幅負荷としてカレントミラー回路を形成するPチャネルトランジスタ $Q_c$ が接続されている。また、前記第2の差動増幅回路Diff2は、差動

増幅対をなすPチャネルトランジスタ $Q_c$ 、 $Q_d$ と、その定電流源をなすゲートにバイアス電圧 $V_{B2}$ が与えられたPチャネルトランジスタ $Q_e$ と、増幅負荷としてカレントミラー回路を形成するNチャネルトランジスタ $Q_f$ 、 $Q_g$ とからなる。

一方、Pチャネルトランジスタ $Q_{o1}$ は、そのゲート、ソースが前記出力駆動用のPチャネルトランジスタ $Q_{o1}$ のゲート、ソースに対応して接続され、そのドレインと接地端との間にはゲートにバイアス電圧 $V_{B1}$ が与えられた定電流源用のNチャネルトランジスタ $Q_{o2}$ が接続されている。そして、このソース接地されたPチャネルトランジスタ $Q_{o1}$ のドレインは、前記出力駆動用のNチャネルトランジスタ $Q_{o2}$ を駆動するための前記第2の差動増幅回路Diff2における電流路に接続されている。

次に、上記第1図(a)の回路の動作を説明する。出力駆動用トランジスタ $Q_{o1}$ 、ソース接地トランジスタ $Q_{o2}$ はゲート、ソースが共通接続されているので、それぞれのドレイン電流 $I_{o1}$ 、 $I_{o2}$ の比はそれぞれのチャネル寸法比W/Lの比に比例する。

$$I_{o1} : I_{o2} = W/L (Q_{o1}) : W/L (Q_{o2}) \quad \dots\dots (1)$$

出力端OUTの出力電流 $I_o = 0$ のとき（負荷に電圧を供給していないとき）、出力駆動用トランジスタ $Q_{o2}$ のドレイン電流 $I_{o2}$ は前記出力駆動用トランジスタ $Q_{o1}$ のドレイン電流 $I_{o1}$ に等しくなければならない。

$$I_{o1} = I_{o2} \quad \dots\dots (2)$$

いま、出力電流 $I_o$ が零でない比較的小さな値の場合（トランジスタ $Q_{o1}$ 、 $Q_{o2}$ それぞれのゲート・ソース間電圧 $V_{GS}$ の絶対値 $|V_{GS}|$ がトランジスタの閾値電圧 $V_{th}$ 以上、電源電圧以下の場合）、トランジスタ $Q_{o1}$ の $V_{GS}$ が $V_{DD}$ 、 $V_{SS}$ 電位の中間値（ $1/2V_{DD}$ ）を持っている、即ち、第1の差動増幅回路Diff1の出力ノードaが上記中間値を持っている。したがって、トランジスタ $Q_{o1}$ のゲートに電流は流れず、第1の差動増幅回路Diff1における上記出力ノードaに接続されているトランジスタ $Q_1$ 、 $Q_2$ の電流 $I_1$ 、 $I_2$ は等しく、さらにカレントミラー回路のトランジスタ $Q_c$ および増幅用トランジスタ $Q_d$ の電流 $I_c$ は上記 $I_1$ に等しい。

$$I_1 = I_c \quad \dots\dots (3)$$

$$I_1 = I_2 \quad \dots\dots (4)$$

$$\therefore I_1 = I_2 \quad \dots\dots (5)$$

このことから、このときには第1の差動増幅回路Diff1における差動増幅対トランジスタ $Q_1$ 、 $Q_2$ の各ゲート電位 $IN+$ 、 $IN-$ は同一電位でなくてはならない。よって、第2の差動増幅回路Diff2において、差動増幅対トランジスタ $Q_3$ 、 $Q_4$ の各ゲート電位も等しいはずであり、上記トランジスタ $Q_3$ 、 $Q_4$ の各電流 $I_3$ 、 $I_4$ は等しい。

$$I_3 = I_4 \quad \dots\dots (6)$$

ところで、トランジスタ $Q_{o2}$ の $V_{GS}$ が前記中間値を持っている、即ち、第2の差動増幅回路Diff2の出力ノードbが中間値を持っているから、トランジスタ $Q_{o2}$ のゲ

17

トに電流は流れず、上記出力ノードbに接続されているトランジスタ $Q_6$ 、 $Q_7$ の各電流 $I_5$ 、 $I_7$ は等しく、さらにカレントミラー回路のトランジスタ $Q_8$ の電流 $I_8$ は上記 $I_7$ に等しい。

$$I_7 = I_5 \quad \dots\dots (7)$$

$$I_7 = I_8 \quad \dots\dots (8)$$

$$\therefore I_5 = I_8 \quad \dots\dots (9)$$

上式(6)、(9)より

$$I_6 = I_8 \quad \dots\dots (10)$$

でなければならず、ソース接地トランジスタ $Q_{101}$ のドレ

$$I_{101} = \frac{W/L(Q_{101})}{W/L(Q_{201})} \times I_{201} \quad \dots\dots (11')$$

となり、上式(11)'に前式(12)を代入して

$$I_{101} = \frac{W/L(Q_{101})}{W/L(Q_{201})} \times I_{202} \quad \dots\dots (13)$$

となる。

ここで、たとえば

$W/L(Q_{101}) = 16000/4$ 、 $W/L(Q_{201}) = 1000/4$ 、 $I_{202} = 3$  20  
75 $\mu$ Aとすると、アイドル電流は6mAとなる。なお、上記電流 $I_{202}$ は、トランジスタ $Q_{202}$ の $W/L$ およびそのゲートバイアス電圧 $V_{gs}$ で決められる。

上述したように、第1図(a)の回路は、 $I_6 = 0$ のときに前式(13)で示した僅かのアイドル電流が流れた状態で安定し、このとき差動入力電圧 $IN+$ 、 $IN-$ は等しくなければならない。

次に、上記第1図(a)の回路における増幅動作において出力振幅がほぼ電源電圧いっぱいまで十分にとれることについて説明する。

(イ) 差動入力電圧 $IN+$ 、 $IN-$ が $IN+ > IN-$ のとき。このとき、第1の差動増幅回路Diff1においては、

$$I_1 > I_2 \quad \dots\dots (14)$$

となるので

$$I_1 > I_3 \quad \dots\dots (15)$$

となり、出力ノードaの電位 $V_a$ が $V_{gs}$ 電位に近づく。よって、トランジスタ $Q_{101}$ 、 $Q_{102}$ がオンし、その電流 $I_{101}$ 、 $I_{102}$ が大きくなり、

$$I_{101} > I_{202} \quad \dots\dots (16)$$

となり、トランジスタ $Q_{101}$ のドレインから第1の差動増幅回路Diff1に流れる電流 $I_x$ は

$$I_x \geq 0 \quad \dots\dots (17)$$

となる。さらに、第2の差動増幅回路Diff2においては

$$I_1 < I_6 \quad \dots\dots (18)$$

となり、

$$I_7 = I_8 = I_6 + I_x \quad \dots\dots (19)$$

であり、上式(17)、(18)、(19)から

$$I_3 < I_7 \quad \dots\dots (20)$$

となり、出力ノードbの電位 $V_b$ も $V_{gs}$ 電位に近づく。こ

れによって、トランジスタ $Q_{102}$ はカットオフし、その電

18

\* インから第2の差動増幅回路Diff2の電流路に流れる電流 $I_x$ は零でなければならない。

$$I_x = 0 \quad \dots\dots (11)$$

したがって、ソース接地トランジスタ $Q_{101}$ の電流 $I_{101}$ とその定電流源用トランジスタ $Q_{102}$ の電流 $I_{102}$ とが等しい状態で安定する。

$$I_{101} = I_{102} \quad \dots\dots (12)$$

このときの出力駆動用トランジスタのアイドル電流( $I_{101}$ または $I_{102}$ )は、前式(1)より

$$\dots\dots (11')$$

流 $I_{102}$ が減少する。

$$I_6 = I_{101} - I_{102} \quad \dots\dots (21)$$

であるから、 $I_6$ が正に増大し、出力端OUTの負荷を正側に駆動するようになる。この場合、負荷が軽ければ、ほぼ $V_{gs}$ 電位まで駆動することができる。

(ロ) 差動入力電圧 $IN+$ 、 $IN-$ が $IN+ < IN-$ のとき。このとき、第1の差動増幅回路Diff1においては

$$I_1 < I_2 \quad \dots\dots (22)$$

となるので

$$I_1 < I_3 \quad \dots\dots (23)$$

となり、出力ノードaの電位 $V_a$ が $V_{gs}$ 電位に近づく。よって、トランジスタ $Q_{101}$ 、 $Q_{102}$ がカットオフし、その電流 $I_{101}$ 、 $I_{102}$ が減少し、

$$I_{101} < I_{202} \quad \dots\dots (24)$$

となり、

$$I_x < 0 \quad \dots\dots (25)$$

となる。さらに、第2の差動増幅回路Diff2においては

$$I_1 > I_6 \quad \dots\dots (26)$$

となり、

$$I_7 = I_8 = I_6 + I_x \quad \dots\dots (27)$$

であり、上式(25)、(26)、(27)から

$$I_3 > I_7 \quad \dots\dots (28)$$

となり、出力ノードbの電位 $V_b$ も $V_{gs}$ 電位に近づく。これによって、トランジスタ $Q_{102}$ はオンし、その電流 $I_{102}$ が増加する。

$$I_6 = I_{101} - I_{102} \quad \dots\dots (29)$$

であるから、 $I_6$ が負に増大し、出力端OUTの負荷を負側に駆動するようになる。この場合、負荷が軽ければ、ほぼ $V_{gs}$ 電位まで駆動することができる。

上述したように、差動入力電圧 $IN+$ 、 $IN-$ の電位差にしたがって出力端OUTの負荷が駆動され、第1図(a)の回路は電力増幅回路として動作する。

次に、他の実施例を説明する。第1図(b)の回路は、

第1図(a)の回路に比べて、トランジスタ $Q_{02}$ に代えて $V_{00}$ 電源端と出力ノードbとの間にゲートにバイアス電圧 $V_{00}$ が与えられる定電流源用のPチャネルトランジスタ $Q_{12}$ を接続した点が異なり、その他の部分は同一であるので第1図(a)中と同一符号を付している。この第1図(b)の回路において、トランジスタ $Q_{02}$ のゲートに流れる変位電流 $I_{0c}$ は、トランジスタ $Q_{12}$ の電流を $I_{112}$ で表わすと

$$\begin{aligned} I_{0c} &= I_3 + I_{112} - I_7 \\ &= I_3 + I_{112} - I_6 \\ &= I_3 + I_{112} - (I_6 + I_{101}) \\ &= I_3 - I_6 - I_{101} + I_{112} \quad \dots\dots (30) \end{aligned}$$

となる。これに対して、前記第1図(a)の回路において、トランジスタ $Q_{02}$ のゲートに流れる変位電流 $I_{0b}$ は、

$$\begin{aligned} I_{0b} &= I_3 - I_7 \\ &= I_3 - I_6 \\ &= I_3 - (I_6 + I_{101} - I_{102}) \\ &= I_3 - I_6 - I_{101} + I_{102} \quad \dots\dots (31) \end{aligned}$$

となる。上式(30)、(31)を比較すると、 $I_{102}$ 、 $I_{112}$ が異なるだけである。よって、 $I_{112} = I_{102}$ となるようにトランジスタ $Q_{12}$ とそのゲートバイアス電圧 $V_{00}$ を設定すれば、第1図(b)の回路は第1図(a)の回路と同く

$$G = \frac{R_1 + R_2}{R_1}$$

である。なお、第2図(a)、(b)、(c)の回路以外にも、一般の演算増幅器を構成すると同様に増幅回路Aを用いて種々の増幅器を構成することが可能である。

第3図(a)の回路は、第1図(a)の回路に比べて、トランジスタ $Q_6$ 、 $Q_7$ 、 $Q_8$ を省略し、Pチャネルトランジスタ $Q_{01} \sim Q_{04}$ 、 $Q_{11}$ 、 $Q_{12}$ 、Nチャネルトランジスタ $Q_{05} \sim Q_{10}$ を付加し、ソース接地トランジスタ $Q_{01}$ のドレインをトランジスタ $Q_{11}$ のドレインに接続した点が異なり、その他は同じである。即ち、第1の差動増幅回路におけるトランジスタ $Q_6$ の負荷としてトランジスタ $Q_{01}$ 、 $Q_{02}$ からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ $Q_{02}$ の負荷としてトランジスタ $Q_{09}$ 、 $Q_{10}$ からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ $Q_{10}$ の出力端をトランジスタ $Q_{01}$ のゲートに接続している。また、上記第1の差動増幅回路にトランジスタ $Q_6$ の負荷としてトランジスタ $Q_{05}$ 、 $Q_{06}$ からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ $Q_{06}$ の出力端を前記トランジスタ $Q_{01}$ 、 $Q_{01}$ のゲートに接続している。さらに、第2の差動増幅回路におけるトランジスタ $Q_7$ の負荷としてトランジスタ $Q_{01}$ 、 $Q_{06}$ からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ $Q_{06}$ の負荷としてト

\*一の動作を行なう。

第2図(a)、(b)、(c)の回路は、第1図(a)、(b)に示したような電力増幅回路Aの出力端OUTにたとえば8ΩのスピーカSPを接続した応用回路を示しており、INは入力信号であり、 $R_1$ 、 $R_2$ は帰還抵抗であって上記増幅回路Aの利得を決めている。この場合、第2図(a)の回路は、反転増幅器を構成し、電源として $\pm 2.5V$ の2電源を用いた例を示しており、その利得Gは

$$G = - \frac{R_2}{R_1} \quad \dots\dots (32)$$

である。第2図(b)の回路は、+5Vの1電源を用いた反転増幅器を示しており、抵抗 $R_1$ 、 $R_2$ は一般に同一抵抗値であり、

$$\frac{1}{2} V_{DD} (= 2.5 V)$$

を増幅回路Aの非反転入力端+に与えている。 $C_1$ 、 $C_2$ は結合容量であり、直流分をカットしている。この場合の利得Gは上式(32)と同じである。第2図(c)の回路は、 $\pm 2.5V$ の2電源を用いた正転増幅器を示しており、その利得Gは

$$\dots\dots (33)$$

ンジスタ $Q_{11}$ 、 $Q_{12}$ からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ $Q_{12}$ の出力端をトランジスタ $Q_{02}$ のゲートに接続している。また、上記第2の差動増幅回路におけるトランジスタ $Q_6$ の負荷としてトランジスタ $Q_{07}$ 、 $Q_{08}$ からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ $Q_{08}$ の出力端をトランジスタ $Q_{02}$ のゲートに接続している。

上記第3図(a)の回路において、トランジスタ $Q_{01} \sim Q_{12}$ の各電流を $I_{01} \sim I_{12}$ で表わすと、 $I_1 = I_{01} = I_{302} = I_{309} = I_{310}$ 、 $I_2 = I_{303} = I_{304}$ 、 $I_3 = I_{305} = I_{306}$ 、 $I_6 = I_{307} = I_{308}$ 、 $I_{11} = I_{312}$ であり、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{0d}$ は

$$\begin{aligned} I_{0d} &= I_{304} - I_{310} \\ &= I_2 - I_{302} \\ &= I_2 - I_1 \quad \dots\dots (34) \end{aligned}$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{0e}$ は

$$\begin{aligned} I_{0e} &= I_{312} - I_{308} \\ &= I_{311} - I_6 \\ &= (I_{306} + I_{202} - I_{101}) - I_6 \\ &= I_3 - I_6 - I_{101} + I_{102} \quad \dots\dots (35) \end{aligned}$$

である。これに対して、前記第1図(a)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{0d}$ は

$$I_{ca} = I_3 - I_1 \\ = I_2 - I_1 \quad \dots\dots (36)$$

であり、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{cb}$ は第1図の(b)の回路と同様に

$$I_{cb} = I_3 - I_4 - I_{201} + I_{202} \quad \dots\dots (31)$$

である。上記第3図(a)の回路を第1図(a)の回路と比較すると、式(34)、(36)が等しく、式(35)、

(31)が等しいのでトランジスタ $Q_{01}$ 、 $Q_{02}$ のゲート電流が等しく、同一の動作を行なうことが分る。但し、第1図(a)の回路においては、差動増幅回路Diff1, Diff 2の出力電位 $V_a, V_b$ は線形な範囲が狭く、トランジスタ $Q_{101}$ 、 $Q_{02}$ のゲートを十分大きい振幅で駆動することができない。これに対して、第3図(a)の回路におけるトランジスタ $Q_{01}$ 、 $Q_{02}$ のゲート(a点, b点)はそれぞれカレントミラー回路で駆動されているので、ほぼ( $V_{00} - V_{ss}$ )の全範囲で線形に働かせることができる。よって、上記トランジスタ $Q_{01}$ 、 $Q_{02}$ のゲートは十分大きな振幅で駆動され、出力端OUTの負荷を強力に駆動できる。

第3図(b)の回路は、第3図(a)の回路に比べて、ソース接地トランジスタ $Q_{01}$ のドレインをトランジスタ $Q_6$ のドレインに接続するように変更した点が異なり、 $I_{307} = I_6 + I_{201} - I_{202}$ になる。この第3図(b)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cd}$ は第3図(a)の回路と同様に

$$I_{cd} = I_2 - I_1 \quad \dots\dots (34)$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ce}$ は

$$I_{ce} = I_{312} - I_{308} \\ = I_{306} - I_{307} \\ = I_3 - (I_6 + I_{201} - I_{202}) \\ = I_3 - I_6 - I_{201} + I_{202} \quad \dots\dots (37)$$

である。上式(37)は第3図(a)における式(35)と等しく、第3図(b)の回路は第3図(a)と同一の動作を行なうことが分る。

第3図(c)の回路は、第3図(a)の回路に比べて、トランジスタ $Q_{02}$ に代えて $V_{00}$ 電源端とトランジスタ $Q_{312}$ のドレインとの間にゲートにバイアス電圧 $V_{07}$ が与えられる定電流源用のPチャネルトランジスタ $Q_{12}$ (その電流を $I_{212}$ で表わす)を接続した点異なる。この第3図(c)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cd}$ は第3図(a)の回路と同様に

$$I_{cd} = I_2 - I_1 \quad \dots\dots (34)$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ce}$ は

$$I_{ce} = I_{312} + I_{212} - I_{308} \\ = I_{311} + I_{212} - I_6 \\ = (I_{306} - I_{201}) + I_{212} - I_6 \\ = I_3 - I_6 - I_{201} + I_{212} \quad \dots\dots (38)$$

である。ここで、上式(38)の $I_{212}$ を前式(35)の $I_{202}$

と同じに設定すれば、両式(38)、(35)は等しくなり、第3図(c)の回路は第3図(a)の回路と同一の動作を行なう。

第3図(d)の回路は、第3図(c)の回路に比べて、トランジスタ $Q_{01}$ のドレインをトランジスタ $Q_6$ のドレインに接続するように変更し、トランジスタ $Q_{312}$ を $V_{00}$ 電源端とトランジスタ $Q_6$ のドレインとの間に接続した点異なる。この第3図(d)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cd}$ は第3図(c)の回路と同様に

$$I_{cd} = I_2 - I_1 \quad \dots\dots (34)$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ce}$ は

$$I_{ce} = I_{312} - I_{308} \\ = I_{306} - I_{307} \\ = (I_3 + I_{212}) - (I_6 + I_{201}) \\ = I_3 - I_6 - I_{201} + I_{212} \quad \dots\dots (39)$$

である。上式(39)は前式(38)に等しく、第3図(d)の回路は第3図(c)の回路と同一の動作を行なう。

上述したように、第1図(a)、(b)および第3図(a)、(b)、(c)、(d)は全て同一の動作を行なう。

第4図(a)の回路は、第3図(a)の回路に比べて、トランジスタ $Q_6$ 、 $Q_7$ 、 $Q_{01}$ 、 $Q_{02}$ 、 $Q_{308}$ 、 $Q_{311}$ 、 $Q_{312}$ を省略し、Nチャネルトランジスタ $Q_{313}$ 、 $Q_{314}$ 、Pチャネルトランジスタ $Q_{315}$ 、 $Q_{316}$ を付加し、トランジスタ $Q_{01}$ のドレインをトランジスタ $Q_{313}$ のドレインに接続した点異なる。即ち、トランジスタ $Q_{313}$ をトランジスタ $Q_{01}$ にカレントミラー接続し、トランジスタ $Q_{314}$ をトランジスタ $Q_{02}$ にカレントミラー接続し、上記トランジスタ $Q_{313}$ 、 $Q_{314}$ の負荷としてカレントミラー回路を形成するトランジスタ $Q_{315}$ 、 $Q_{316}$ を接続し、このカレントミラー回路の出力トランジスタ $Q_{315}$ の出力端をトランジスタ $Q_{102}$ のゲートに接続している。

上記第4図(a)の回路において、トランジスタ $Q_{313}$ 、 $Q_{314}$ の各電流を $I_{313}$ 、 $I_{314}$ で表わすと、 $I_1 = I_{313}$ 、 $I_2 = I_{314}$ である。そして、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cd}$ は

$$I_{cd} = I_{304} - I_{310} \\ = I_2 - I_{302} \\ = I_2 - I_1 \quad \dots\dots (40)$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ce}$ は

$$I_{ce} = I_{314} - I_{316} \\ = I_{314} - I_{315} \\ = I_2 - (I_{313} + I_{201} - I_{202}) \\ = I_2 - (I_1 + I_{201} - I_{202}) \\ = I_2 - I_1 + I_{202} - I_{201} \quad \dots\dots (41)$$

である。上記第4図(a)の回路と第3図(a)の回路

とを比較すると、式(40)、(34)が等しいのでトランジスタ $Q_{01}$ は同一の動作を行なう。また、式(41)、(35)を比較すると、

$$I_2 = I_5, I_6 = I_1 \quad \dots\dots (42)$$

であれば、両式(41)、(35)は等しくなる。この場合、第3図(a)の回路において、差動入力電位 $IN+$ 、 $IN-$ が等しく、定電流源トランジスタ $Q_6$ 、 $Q_8$ の電流 $I_5$ 、 $I_6$ が等しければ

$$I_1 = I_2 = I_5 = I_6 \quad \dots\dots (43)$$

となる。また、トランジスタ $Q_4$ 、 $Q_5$ 、 $Q_6$ 、 $Q_8$ の $gm$ が等しければ、入力電圧が変化した場合における電流 $I_1$ の増加分(電流 $I_5$ の減少分)と電流 $I_6$ の増加分(電流 $I_5$ の減少分)は等しいので、前式(42)が成立する。したがって、第4図(a)の回路は第3図(a)の回路と同一の動作を行なう。

第4図(b)の回路は、第4図(a)の回路に比べて、トランジスタ $Q_{01}$ に代えて $V_{00}$ 電源端とトランジスタ $Q_{11}$ のドレインとの間にゲートにバイアス電圧 $V_{01}$ が与えられたPチャネルトランジスタ $Q_{12}$ (その電流を $I_{12}$ で表わす)を接続するように変更している。この第4図(b)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cf}$ は第4図(a)の回路と同様に

$$I_{cf} = I_2 - I_1 \quad \dots\dots (40)$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{cg}$ は

$$\begin{aligned} I_{cg} &= I_{311} + I_{212} - I_{316} \\ &= I_2 + I_{212} - I_{311} \\ &= I_2 + I_{212} - (I_{313} + I_{401}) \\ &= I_2 + I_{212} - (I_1 + I_{401}) \\ &= I_2 - I_1 + I_{212} - I_{401} \quad \dots\dots (44) \end{aligned}$$

である。よって、 $I_{212} = I_{402}$ となるように設定すれば、上式(44)と第4図(a)の回路における前式(41)とは等しく、第4図(b)の回路は第4図(a)の回路と同一の動作を行なう。

第4図(c)の回路は、第4図(a)の回路に比べて、ソース接地トランジスタ $Q_{01}$ および定電流源トランジスタ $Q_{02}$ に代えて、Nチャネルの出力駆動用トランジスタ $Q_{02}$ のゲート、ソースに各対応してゲート、ソースを共通接続したNチャネルトランジスタ $Q_{03}$ (ソース接地トランジスタ)を設け、そのドレインと $V_{00}$ 電源端との間にゲートにバイアス電圧 $V_{01}$ が与えられた定電流源用のPチャネルトランジスタ $Q_{04}$ を接続し、上記ソース接地トランジスタ $Q_{03}$ のドレインをトランジスタ $Q_{02}$ のドレインに接続するように変更している。上記トランジスタ $Q_{03}$ 、 $Q_{04}$ の各電流を $I_{03}$ 、 $I_{04}$ で表わせば、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cf}$ は

$$\begin{aligned} I_{cf} &= I_{04} - I_{310} \\ &= I_2 - I_{309} \\ &= I_2 - (I_{302} + I_{204} - I_{203}) \\ &= I_2 - I_1 - I_{204} + I_{203} \quad \dots\dots (45) \end{aligned}$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{cg}$ は

$$\begin{aligned} I_{cg} &= I_{314} - I_{316} \\ &= I_2 - I_{313} \\ &= I_2 - I_1 \quad \dots\dots (46) \end{aligned}$$

である。上式(45)、(46)の $I_1$ 、 $I_2$ の項は、入力信号が出力駆動用トランジスタ $Q_{01}$ 、 $Q_{02}$ のゲートを駆動することを意味しており、第4図(a)の回路における式(40)、(41)も同様な意味を有する。そして、式(41)の $I_{202}$ 、 $I_{203}$ の項は、トランジスタ $Q_{01}$ に適切なア

イドリング電流が流れたとき、トランジスタ $Q_{02}$ のゲート電位を制御してトランジスタ $Q_{02}$ にもアイドリング電流が安定に流れるように制御している。同様に、式(45)において、 $I_{203}$ 、 $I_{204}$ はトランジスタ $Q_{02}$ に適切なアイドリング電流が流れたとき、トランジスタ $Q_{01}$ のゲート電位を制御してトランジスタ $Q_{01}$ にも安定にアイドリング電流が流れるように制御している。よって、第4図(c)の回路も第4図(a)の回路と同様な電力増幅回路として働らく。

第4図(d)の回路は、第4図(c)の回路に比べて、定電流源用トランジスタ $Q_{04}$ に代えてトランジスタ $Q_{04}$ のドレインと $V_{05}$ 電源端との間にベースにバイアス電圧 $V_{01}$ が与えられた定電流源用のNチャネルトランジスタ $Q_{214}$ (その電流を $I_{214}$ で表わす)を接続するように変更している。この第4図(d)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cf}$ は

$$\begin{aligned} I_{cf} &= I_{304} - I_{214} - I_{310} \\ &= I_2 - I_{214} - I_{309} \\ &= I_2 - I_{214} - (I_{302} - I_{203}) \\ &= I_2 - I_{214} - (I_1 - I_{203}) \\ &= I_2 - I_1 - I_{214} + I_{203} \quad \dots\dots (47) \end{aligned}$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{cg}$ は第4図(c)の回路と同様に

$$I_{cg} = I_2 - I_1 \quad \dots\dots (46)$$

である。よって、前式(47)の $I_{214}$ と前式(45)の $I_{204}$ とを同一値に設定すれば、式(47)、(45)は等しくなり、第4図(d)の回路は第4図(c)の回路と同一の動作を行なう。

上述したように、第4図(a)、(b)、(c)、

(d)の回路は同様の動作を行ない、第3図(a)、(b)、(c)、(d)および第1図(a)、(b)の回路とも同様の動作を行なう。

第5図(a)の回路は、第4図(a)の回路に比べて、第3図(a)の回路における同様のトランジスタ $Q_6$ 、 $Q_8$ 、 $Q_{03}$ 、 $Q_{04}$ からなる第2の差動増幅回路を付加し、上記トランジスタ $Q_{03}$ の出力端をトランジスタ $Q_6$ のドレインに接続し、トランジスタ $Q_{04}$ のドレインをトランジスタ $Q_8$ のドレインに接続している。

上記第5図(a)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{cf}$ は

$$\begin{aligned}
 I_{ch} &= I_{304} - I_{310} \\
 &= I_{303} - I_{302} \\
 &= (I_2 + I_{306}) - I_{301} \\
 &= (I_2 + I_5) - (I_2 + I_{309}) \\
 &= (I_2 + I_5) - (I_1 + I_6) \quad \dots\dots (48)
 \end{aligned}$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ci}$ は

$$\begin{aligned}
 I_{ci} &= I_{314} - I_{316} \\
 &= I_{303} - I_{313} \\
 &= (I_2 + I_{306}) - (I_{313} + I_{201} - I_{202}) \\
 &= (I_2 + I_5) - (I_{301} + I_{201} - I_{202}) \\
 &= (I_2 + I_5) - (I_1 + I_{309} + I_{201} - I_{202}) \\
 &= (I_2 + I_5) - (I_1 + I_6) + I_{202} - I_{201} \dots\dots (49)
 \end{aligned}$$

である。差動入力電圧 $IN+$ ,  $IN-$ が与えられると、この電位差に応じて $I_1$ が増大(または減少)したとき $I_6$ も増大(または減少)し、 $I_2$ が減少(または増大)したとき $I_5$ も減少(または増大)する。よって、上式(48),

(49)の $(I_1 + I_6)$ と $(I_2 + I_5)$ は入力電圧によって制御される電流である。即ち、第4図(a)の回路における式(40), (41)の $I_1$ ,  $I_2$ を第5図(a)の回路では $(I_1 + I_6)$ ,  $(I_2 + I_5)$ と置き換えたものと考えることができ、式(40), (48)は等しく、式(41), (49)は等しいので、第5図(a)の回路は第4図(a)の回路と同様の動作を行なう。

第5図(b)の回路は、第5図(a)の回路に比べて、定電流源用トランジスタ $Q_{02}$ に代えて $V_{00}$ 電源端とトランジスタ $Q_{14}$ のドレインとの間にゲートにバイアス電圧 $V_{0p}$ が与えられた定電流源用のPチャネルトランジスタ $Q_{112}$ (その電流を $I_{112}$ で表わす)を接続するように変更している。この第5図(b)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{ch}$ は第5図(a)の回路と同様に

$$I_{ch} = (I_2 + I_5) - (I_1 + I_6) \quad \dots\dots (48)$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ci}$ は

$$\begin{aligned}
 I_{ci} &= I_{314} + I_{212} - I_{316} \\
 &= I_{303} + I_{212} - I_{313} \\
 &= (I_2 + I_{306}) + I_{212} - (I_{201} + I_{313}) \\
 &= (I_2 + I_5) + I_{212} - I_{201} - I_{301} \\
 &= (I_2 + I_5) - (I_1 + I_{309}) + I_{212} - I_{201} \\
 &= (I_2 + I_5) - (I_1 + I_6) + I_{212} - I_{201} \dots\dots (50)
 \end{aligned}$$

である。上式(50)の $I_{212}$ と第5図(a)の回路における式(49)の $I_{202}$ とが同一になるように設定すれば、両式(50), (49)は等しくなり、第5図(b)の回路は第5図(a)の回路と同一の動作を行なう。

第5図(c)の回路は、第5図(a)の回路に比べてソース接地トランジスタ $Q_{01}$ および定電流源トランジスタ $Q_{02}$ に代えて、Nチャネルの出力駆動用トランジスタ $Q_{101}$ のゲート、ソースに各対応してゲート、ソースを共通接続したNチャネルトランジスタ $Q_{03}$ (ソース接地ト

ランジスタ)を設け、そのドレインと $V_{00}$ 電源端との間にゲートにバイアス電圧 $V_{0p}$ が与えられた定電流源用のPチャネルトランジスタ $Q_{04}$ を接続し、上記ソース接地トランジスタ $Q_{03}$ のドレインをトランジスタ $Q_{02}$ のドレインに接続するように変更している。上記トランジスタ $Q_{03}$ ,  $Q_{04}$ の各電流を $I_{203}$ ,  $I_{204}$ で表わせば、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{ch}$ は

$$\begin{aligned}
 I_{ch} &= I_{304} - I_{310} \\
 &= I_{303} - I_{309} \\
 &= (I_2 + I_{306}) - (I_{302} + I_{204} - I_{203}) \\
 &= (I_2 + I_5) - I_{301} - I_{204} + I_{203} \\
 &= (I_2 + I_5) - (I_1 + I_{309}) - I_{204} + I_{203} \\
 &= (I_2 + I_5) - (I_1 + I_6) - I_{204} + I_{203} \dots\dots (51)
 \end{aligned}$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ci}$ は

$$\begin{aligned}
 I_{ci} &= I_{314} - I_{316} \\
 &= I_{303} - I_{313} \\
 &= (I_2 + I_{306}) - I_{301} \\
 &= (I_2 + I_5) - (I_1 + I_{309}) \\
 &= (I_2 + I_5) - (I_1 + I_6) \quad \dots\dots (52)
 \end{aligned}$$

である。上式(51), (52)の $(I_2 + I_5)$ ,  $(I_1 + I_6)$ は第4図(c)の回路における式(45), (46)の $I_2$ ,  $I_1$ と置き換えたものと考えることができ、式(51), (45)は等しく、式(52), (46)は等しいので、第5図(c)の回路は第4図(c)の回路と同様の動作を行なう。

第5図(d)の回路は、第5図(c)の回路に比べて、定電流源用トランジスタ $Q_{04}$ に代えてトランジスタ $Q_{04}$ のドレインと $V_{00}$ 電源端との間にベースにバイアス電圧 $V_{0n}$ が与えられた定電流源用のNチャネルトランジスタ $Q_{114}$ (その電流を $I_{114}$ で表わす)を接続するように変更している。この第5図(d)の回路において、トランジスタ $Q_{01}$ のゲートの変位電流 $I_{ch}$ は

$$\begin{aligned}
 I_{ch} &= I_{304} - I_{214} - I_{310} \\
 &= I_{303} - I_{214} - I_{309} \\
 &= (I_2 + I_{306}) - (I_{302} - I_{203}) - I_{214} \\
 &= (I_2 + I_5) - I_{301} + I_{203} - I_{214} \\
 &= (I_2 + I_5) - (I_1 + I_{309}) - I_{214} + I_{203} \\
 &= (I_2 + I_5) - (I_1 + I_6) - I_{214} + I_{203} \dots\dots (53)
 \end{aligned}$$

である。また、トランジスタ $Q_{02}$ のゲートの変位電流 $I_{ci}$ は

$$\begin{aligned}
 I_{ci} &= I_{314} - I_{316} \\
 &= I_{303} - I_{313} \\
 &= (I_2 + I_{306}) - I_{301} \\
 &= (I_2 + I_5) - (I_1 + I_{309}) \\
 &= (I_2 + I_5) - (I_1 + I_6) \quad \dots\dots (54)
 \end{aligned}$$

である。上式(53)の $I_{214}$ と第5図(c)の回路における式(51)の $I_{204}$ とを等しく設定すると、式(53), (51)は等しく、式(54), (52)は等しいので、第5

図(d)の回路は第5図(c)の回路と同一の動作を行

なう。

上述したように、第5図(a), (b), (c), (d)は同様の動作を行ない、第4図(a), (b), (c), (d)、第3図(a), (b), (c), (d)および第1図(a), (b)の回路とも同様な動作を行なう。

第6図(a)の回路は、第3図(a)の回路に比べて、カスケード用のPチャネルトランジスタ $Q_{01}$ ,  $Q_{02}$ ,  $Q_{03}$ 、Nチャネルトランジスタ $Q_{04}$ ,  $Q_{05}$ およびパワーダウ制御用のPチャネルトランジスタ $Q_{06}$ 、Nチャネルトランジスタ $Q_{07}$ を付加して図示の如く接続すると共に図示の如くバイアス電圧 $V_{SP}$ ,  $V_{PC}$ ,  $V_{NC}$ およびパワーダウ制御信号 $\Delta PDN$ ,  $PDN$ 入力をゲートに与えている点が異なる。上記 $PDN$ 入力がハイ“H”レベルのとき、全ての電流路がオフになり、回路の消費電流は殆んど零になり、 $PDN$ 入力がロウ“L”レベルのとき、各トランジスタに正常なバイアス電流が流れて電力増幅回路として働く。

第6図(b)の回路は、上記第6図(a)の回路に各バイアス電圧 $V_{SP}$ ,  $V_{PC}$ ,  $V_{NC}$ ,  $V_{IN}$ を与えるためのものである。 $R_0$ はバイアス決定用の抵抗であり、 $PDN$ 入力が“L”、 $\Delta PDN$ 入力が“H”のときにトランジスタ $Q_{03}$ ,  $Q_{04}$ をオンにしてトランジスタ $Q_{02}$ ,  $Q_{01}$ に電流を流して $V_{SP}$ ,  $V_{PC}$ を発生する。トランジスタ $Q_{03}$ ,  $Q_{02}$ はカレントミラー回路を構成しており、電流 $I_{03}$ を発生する。トランジスタ $Q_{04}$ はトランジスタ $Q_{03}$ のカスケード用である。上記電流 $I_{03}$ はトランジスタ $Q_{03}$ ,  $Q_{05}$ に流れ、 $V_{NC}$ ,  $V_{IN}$ が発生する。 $PDN$ 入力が“H”、 $\Delta PDN$ 入力が“L”のとき、トランジスタ $Q_{07}$ ,  $Q_{06}$ がオン、トランジスタ $Q_{05}$ ,  $Q_{04}$ がオンになり、 $V_{NC}$ ,  $V_{IN}$ はそれぞれ $V_{SS}$ 電位になり、 $V_{SP}$ ,  $V_{PC}$ はそれぞれ $V_{DD}$ 電位になり、第6図(a)の回路におけるトランジスタ $Q_0$ ,  $Q_{01}$ ,  $Q_{02}$ ~ $Q_{05}$ ,  $Q_{06}$ を全てカットオフさせる。なお、第6図(b)中、61, 62はインバータである。

第7図に示す特性は、第6図(a), (b)の回路を当業界で周知のCADシミュレーターを用いてシミュレーションした結果であり、出力端OUTの出力電流 $I_{out}$ が0のとき、出力電圧 $V_{out}$ も0であり、このとき出力駆動用トランジスタ $Q_{01}$ ,  $Q_{02}$ の各電流 $I_P$ ,  $I_N$ はアイドル電流が流れており、 $I_P = I_N$ である。このアイドル電流は約6mAであり、自由に設定できる。出力電流 $I_{out}$ が正に増大し、出力電圧 $V_{out}$ も正に増大すると、トランジスタ $Q_{01}$ の電流 $I_P$ が増加し、トランジスタ $Q_{02}$ の電流 $I_N$ が0になり、 $I_{out} = I_P$ である。出力電流 $I_{out}$ が負に増大し、出力電圧 $V_{out}$ が負に増大すると、トランジスタ $Q_{02}$ の電流 $I_N$ はアイドル電流のまま一定であり、トランジスタ $Q_{01}$ の電流 $I_P$ が増大する。このように、第6図(a), (b)の回路はAB級電力増幅回路として働くことが証明された。なお、第8図に示した従来のA級電力増幅回路では、アイドル電流がたとえば250mA必

要であったが、上記第6図(a)の回路によれば、約6mA(設計によりもっと少なくすることも可能である)となり、消費電流が非常に少なくなった。

なお、本発明は上記各実施例に限らず、本発明の技術的思想の範囲内で種々の変形実施が可能である。たとえば第6図(a), (b)の回路でも示したが、前記各実施例の回路にカスケード用トランジスタを付加しても基本的動作が変わるわけではない。また、前記各実施例のトランジスタのPチャネルとNチャネルとを置き換え、 $V_{DD}$ 電源、 $V_{SS}$ 電源の接続関係を逆にしても動作することは言うまでもない。また、前記各実施例中、カレントミラー回路を多用しているが、カレントミラー回路における入力側トランジスタと出力側トランジスタとの $W/L$ は異なってもよい。このときの上記入力側トランジスタと出力側トランジスタとの電流比は上記 $W/L$ の比に等しくなる。また、前記各実施例中における定電流源用トランジスタ $Q_{02}$ または $Q_{12}$ ,  $Q_{04}$ ,  $Q_{14}$ を省略し、差動増幅回路、カレントミラー回路における対になっているトランジスタの $W/L$ を異ならせてもよい。即ち、上記各実施例では、ソース接地トランジスタ $Q_{01}$ または $Q_{03}$ がある電流(トランジスタ $Q_{02}$ または $Q_{12}$ または $Q_{04}$ または $Q_{14}$ の定電流に等しい電流)を流したとき、回路全体が安定し、アイドル電流が流れるものとして説明した。しかし、差動増幅回路、カレントミラー回路におけるトランジスタ対の $W/L$ を異ならせてそのバランスを崩しておき、ソース接地トランジスタ $Q_{01}$ または $Q_{03}$ にある電流が流れたときに回路全体の動作のバランスがとれ、アイドル電流が正しく流れるように設計することも可能である。

#### 〔発明の効果〕

上述したように本発明の電力増幅回路によれば、AB級動作を行なうもので消費電力が非常に小さく、集積回路チップの発熱量が小さいので回路動作の信頼性が高くなる。また、回路構成として最低限必要とするのは、出力駆動用トランジスタとソース接地トランジスタと差動増幅回路とで済むので簡易であり、使用素子数が少ないのでチップ面積が小さくて済む。しかも出力振幅をほぼ電源電圧いっぱいまで正常に得ることができる。したがって、本発明回路はたとえば音声合成用LSIに用いてスピーカを直接駆動する場合などに好適である。

#### 〔図面の簡単な説明〕

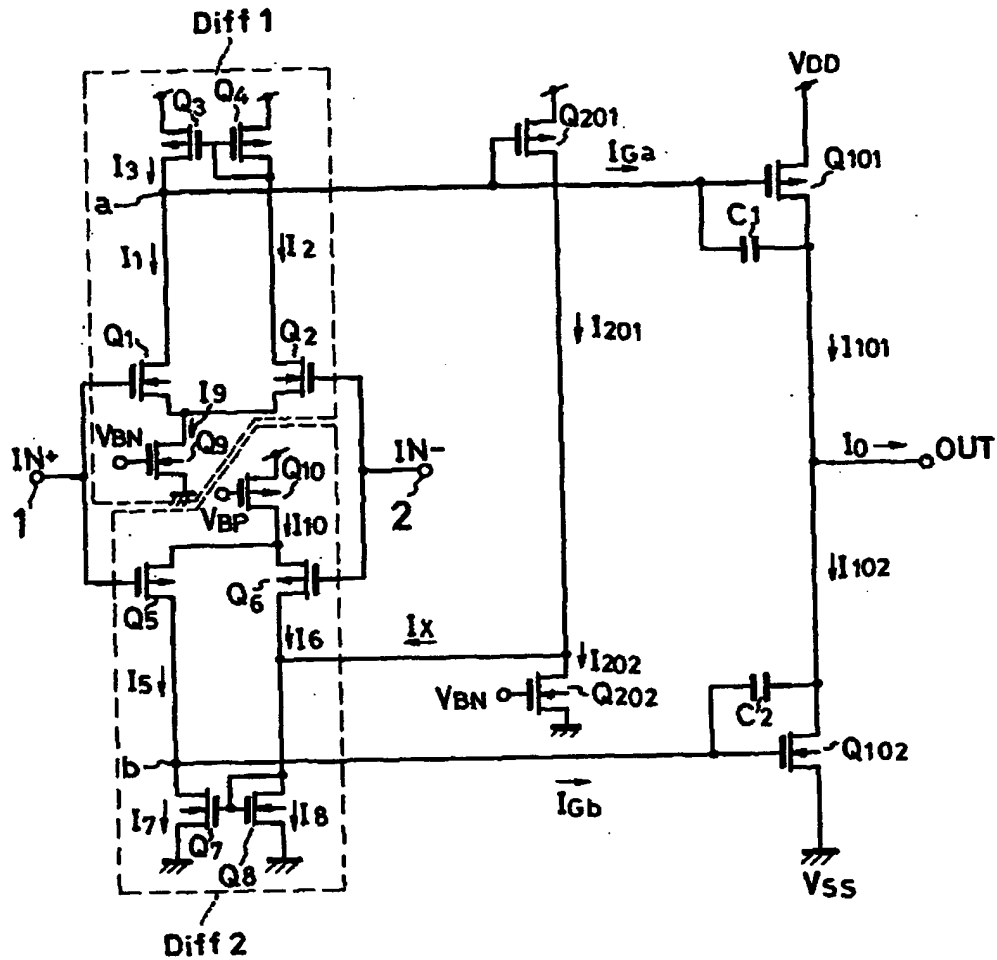
第1図(a)は本発明の電力増幅回路の一実施例を示す回路図、第1図(b)は同じく他の実施例を示す回路図、第2図(a), (b), (c)はそれぞれ本発明の応用例を示す回路図、第3図(a)乃至(d)、第4図(a)乃至(d)、第5図(a)乃至(d)、第6図(a)はそれぞれ本発明の他の実施例を示す回路図、第6図(b)は同図(a)の回路にバイアス電圧を与える回路を示す回路図、第7図は第6図(a), (b)の回路についてのコンピュータシミュレーションの結果を示



す特性図、第8図および第9図はそれぞれ従来の電力増幅回路を示す回路図である。

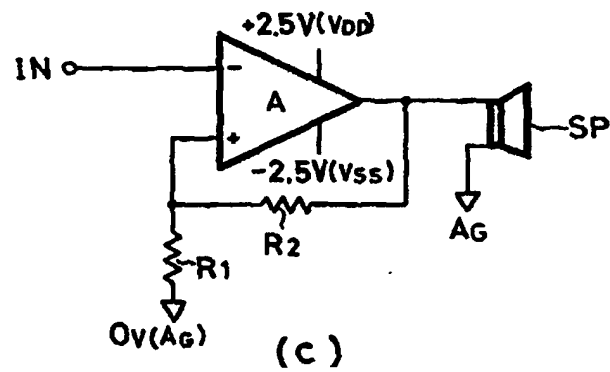
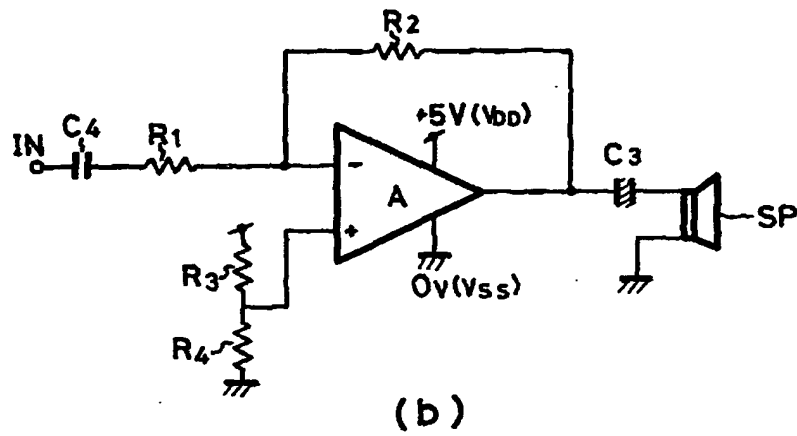
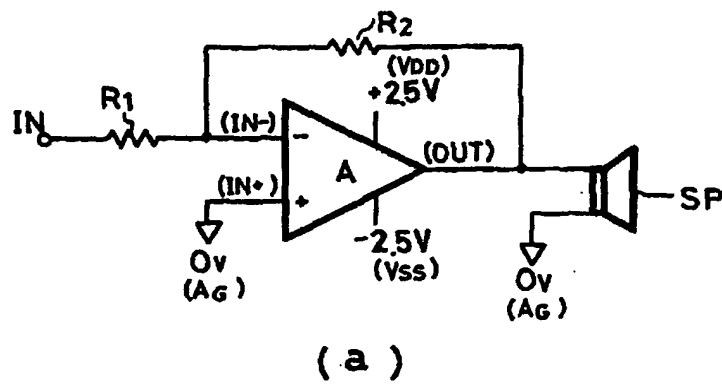
\* トランジスタ、OUT……出力端、Diff1, Diff2……差動増幅回路、 $Q_{01}$ ,  $Q_{03}$ ……ソース接地トランジスタ、 $Q_{01}$ ,  $Q_{02}$ ……パワーダウン制御用トランジスタ。

【第1図 (a)】



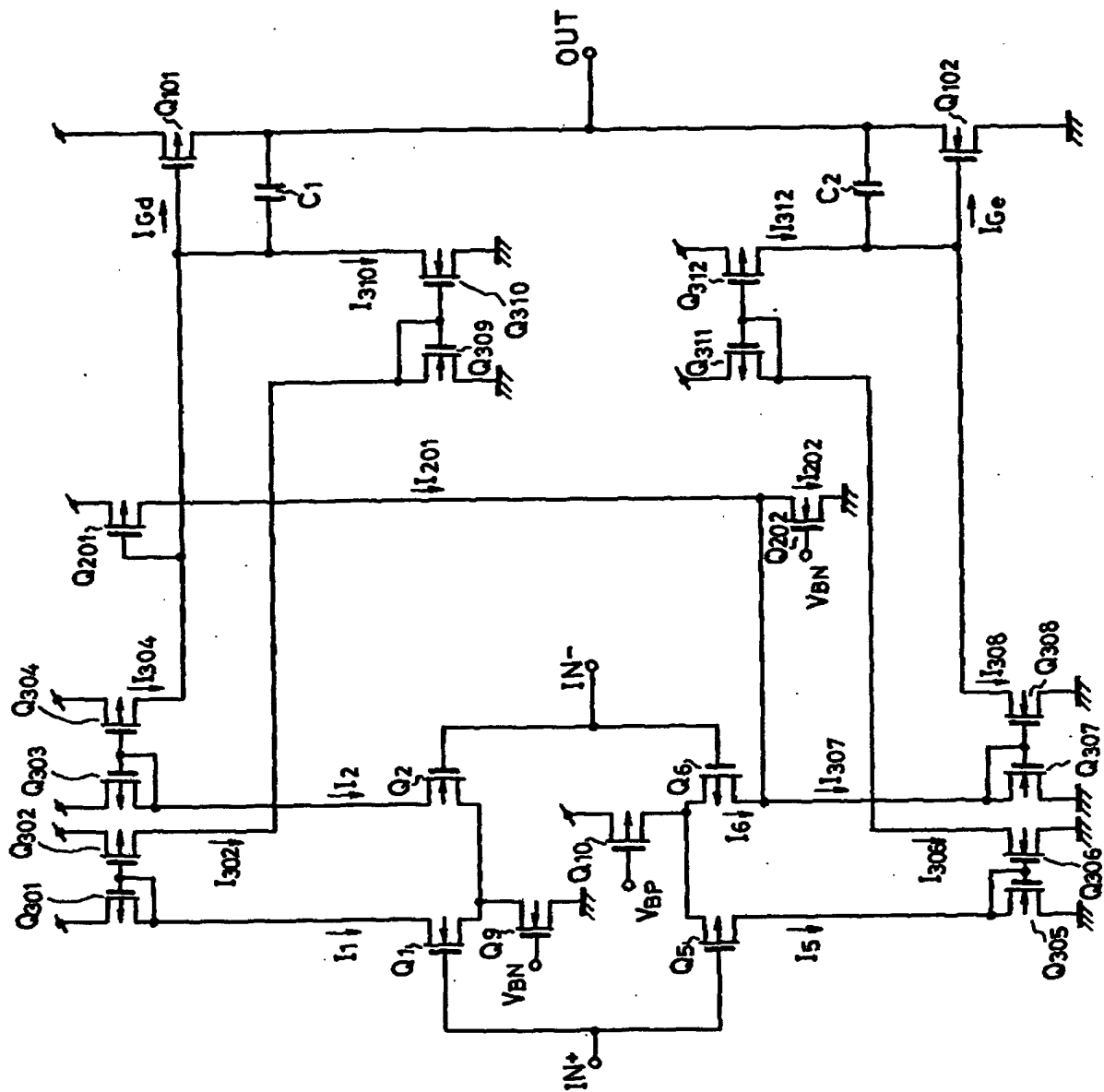
The circuit diagram shows a fully differential CMOS op-amp. The input stage consists of a differential pair of NMOS transistors (Q1, Q2) with PMOS load devices (Q3, Q4). The gates of Q1 and Q2 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q1 and Q2 are connected to a Wilson current source (Q5, Q6, Q7, Q8) which is biased with  $V_{BP}$ . The output stage is a differential pair of PMOS transistors (Q9, Q10) with NMOS load devices (Q11, Q12). The gates of Q9 and Q10 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q9 and Q10 are connected to a Wilson current source (Q13, Q14, Q15, Q16) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q17, Q18) with PMOS load devices (Q19, Q20). The gates of Q17 and Q18 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q17 and Q18 are connected to a Wilson current source (Q21, Q22, Q23, Q24) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q25, Q26) with NMOS load devices (Q27, Q28). The gates of Q25 and Q26 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q25 and Q26 are connected to a Wilson current source (Q29, Q30, Q31, Q32) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q33, Q34) with PMOS load devices (Q35, Q36). The gates of Q33 and Q34 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q33 and Q34 are connected to a Wilson current source (Q37, Q38, Q39, Q40) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q41, Q42) with NMOS load devices (Q43, Q44). The gates of Q41 and Q42 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q41 and Q42 are connected to a Wilson current source (Q45, Q46, Q47, Q48) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q49, Q50) with PMOS load devices (Q51, Q52). The gates of Q49 and Q50 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q49 and Q50 are connected to a Wilson current source (Q53, Q54, Q55, Q56) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q57, Q58) with NMOS load devices (Q59, Q60). The gates of Q57 and Q58 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q57 and Q58 are connected to a Wilson current source (Q61, Q62, Q63, Q64) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q65, Q66) with PMOS load devices (Q67, Q68). The gates of Q65 and Q66 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q65 and Q66 are connected to a Wilson current source (Q69, Q70, Q71, Q72) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q73, Q74) with NMOS load devices (Q75, Q76). The gates of Q73 and Q74 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q73 and Q74 are connected to a Wilson current source (Q77, Q78, Q79, Q80) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q81, Q82) with PMOS load devices (Q83, Q84). The gates of Q81 and Q82 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q81 and Q82 are connected to a Wilson current source (Q85, Q86, Q87, Q88) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q89, Q90) with NMOS load devices (Q91, Q92). The gates of Q89 and Q90 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q89 and Q90 are connected to a Wilson current source (Q93, Q94, Q95, Q96) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q97, Q98) with PMOS load devices (Q99, Q100). The gates of Q97 and Q98 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q97 and Q98 are connected to a Wilson current source (Q101, Q102, Q103, Q104) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q105, Q106) with NMOS load devices (Q107, Q108). The gates of Q105 and Q106 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q105 and Q106 are connected to a Wilson current source (Q109, Q110, Q111, Q112) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q113, Q114) with PMOS load devices (Q115, Q116). The gates of Q113 and Q114 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q113 and Q114 are connected to a Wilson current source (Q117, Q118, Q119, Q120) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q121, Q122) with NMOS load devices (Q123, Q124). The gates of Q121 and Q122 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q121 and Q122 are connected to a Wilson current source (Q125, Q126, Q127, Q128) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q129, Q130) with PMOS load devices (Q131, Q132). The gates of Q129 and Q130 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q129 and Q130 are connected to a Wilson current source (Q133, Q134, Q135, Q136) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q137, Q138) with NMOS load devices (Q139, Q140). The gates of Q137 and Q138 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q137 and Q138 are connected to a Wilson current source (Q141, Q142, Q143, Q144) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q145, Q146) with PMOS load devices (Q147, Q148). The gates of Q145 and Q146 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q145 and Q146 are connected to a Wilson current source (Q149, Q150, Q151, Q152) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q153, Q154) with NMOS load devices (Q155, Q156). The gates of Q153 and Q154 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q153 and Q154 are connected to a Wilson current source (Q157, Q158, Q159, Q160) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q161, Q162) with PMOS load devices (Q163, Q164). The gates of Q161 and Q162 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q161 and Q162 are connected to a Wilson current source (Q165, Q166, Q167, Q168) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q169, Q170) with NMOS load devices (Q171, Q172). The gates of Q169 and Q170 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q169 and Q170 are connected to a Wilson current source (Q173, Q174, Q175, Q176) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q177, Q178) with PMOS load devices (Q179, Q180). The gates of Q177 and Q178 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q177 and Q178 are connected to a Wilson current source (Q181, Q182, Q183, Q184) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q185, Q186) with NMOS load devices (Q187, Q188). The gates of Q185 and Q186 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q185 and Q186 are connected to a Wilson current source (Q189, Q190, Q191, Q192) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q193, Q194) with PMOS load devices (Q195, Q196). The gates of Q193 and Q194 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q193 and Q194 are connected to a Wilson current source (Q197, Q198, Q199, Q200) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q201, Q202) with NMOS load devices (Q203, Q204). The gates of Q201 and Q202 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q201 and Q202 are connected to a Wilson current source (Q205, Q206, Q207, Q208) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q209, Q210) with PMOS load devices (Q211, Q212). The gates of Q209 and Q210 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q209 and Q210 are connected to a Wilson current source (Q213, Q214, Q215, Q216) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q217, Q218) with NMOS load devices (Q219, Q220). The gates of Q217 and Q218 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q217 and Q218 are connected to a Wilson current source (Q221, Q222, Q223, Q224) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q225, Q226) with PMOS load devices (Q227, Q228). The gates of Q225 and Q226 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q225 and Q226 are connected to a Wilson current source (Q229, Q230, Q231, Q232) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q233, Q234) with NMOS load devices (Q235, Q236). The gates of Q233 and Q234 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q233 and Q234 are connected to a Wilson current source (Q237, Q238, Q239, Q240) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q241, Q242) with PMOS load devices (Q243, Q244). The gates of Q241 and Q242 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q241 and Q242 are connected to a Wilson current source (Q245, Q246, Q247, Q248) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of PMOS transistors (Q249, Q250) with NMOS load devices (Q251, Q252). The gates of Q249 and Q250 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q249 and Q250 are connected to a Wilson current source (Q253, Q254, Q255, Q256) which is biased with  $V_{BP}$ . The output nodes are connected to a differential pair of NMOS transistors (Q257, Q258) with PMOS load devices (Q259, Q260). The gates of Q257 and Q258 are biased with  $V_{BN}$  and  $V_{BP}$  respectively. The sources of Q257 and Q258 are connected to a Wilson current source (Q261, Q262, Q263, Q264) which is biased with  $V_{BP}$ . The output nodes are connected to

【第2図】

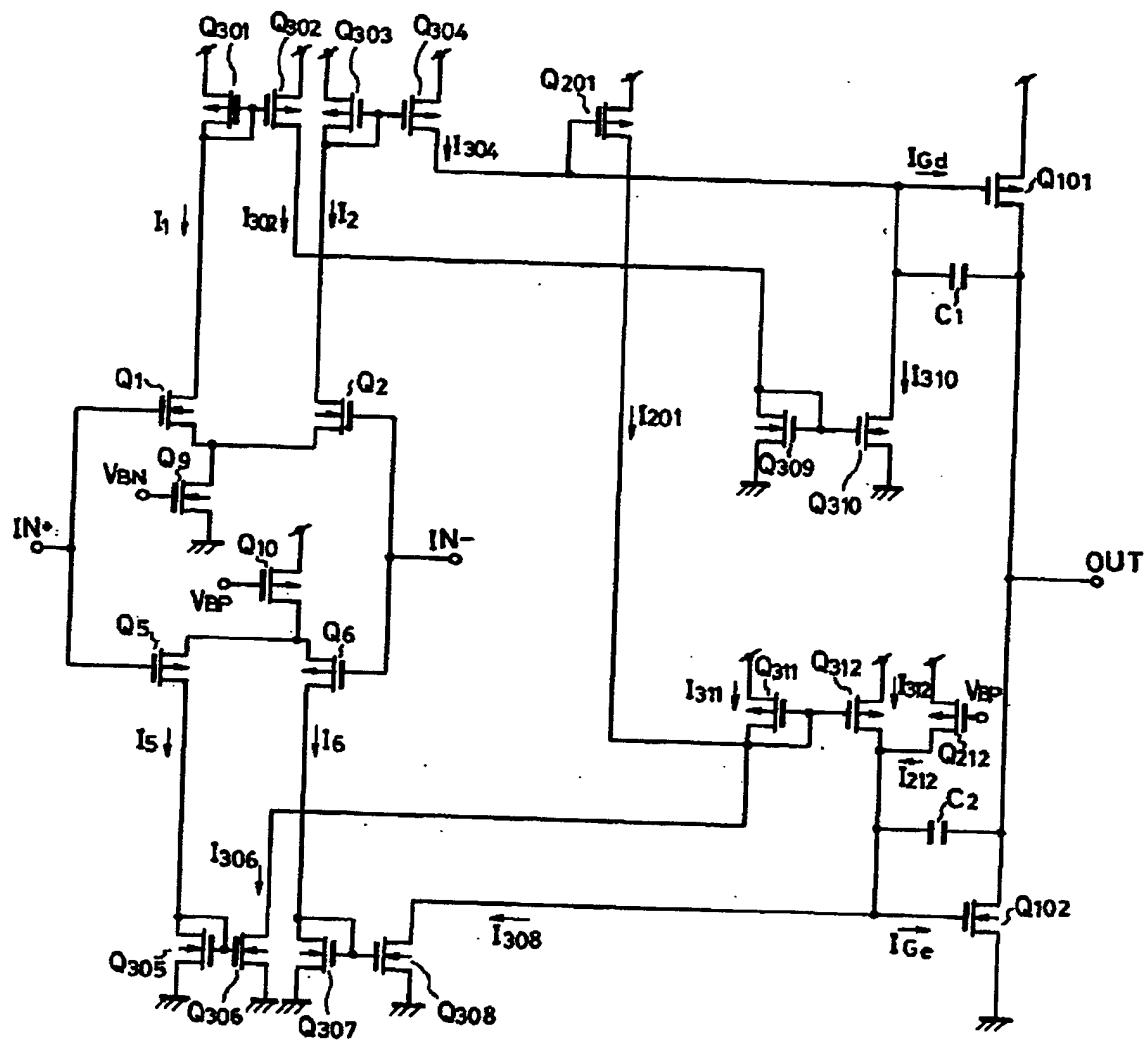




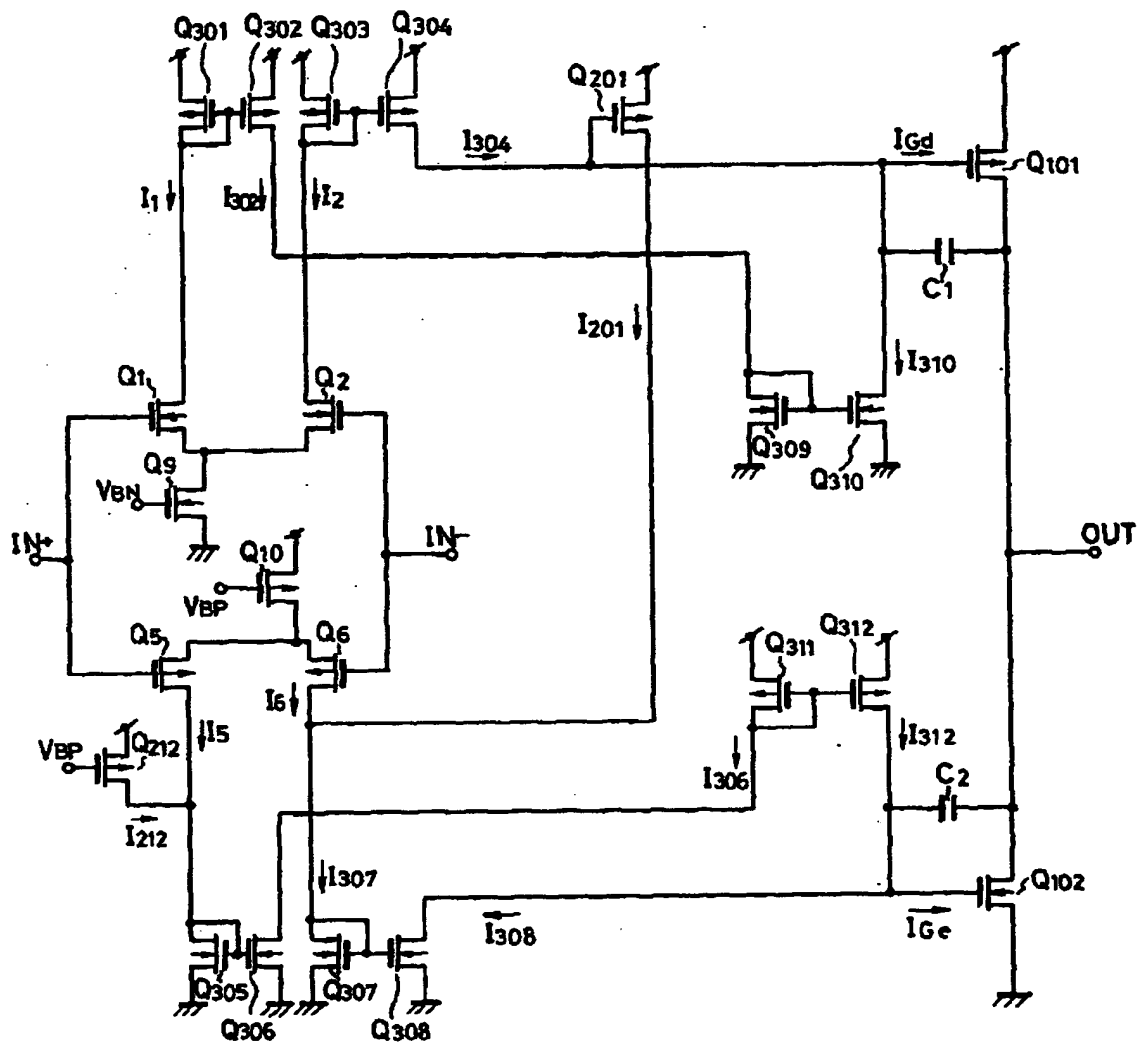
【第3図 (b)】



【第3図(c)】



【第3図(d)】

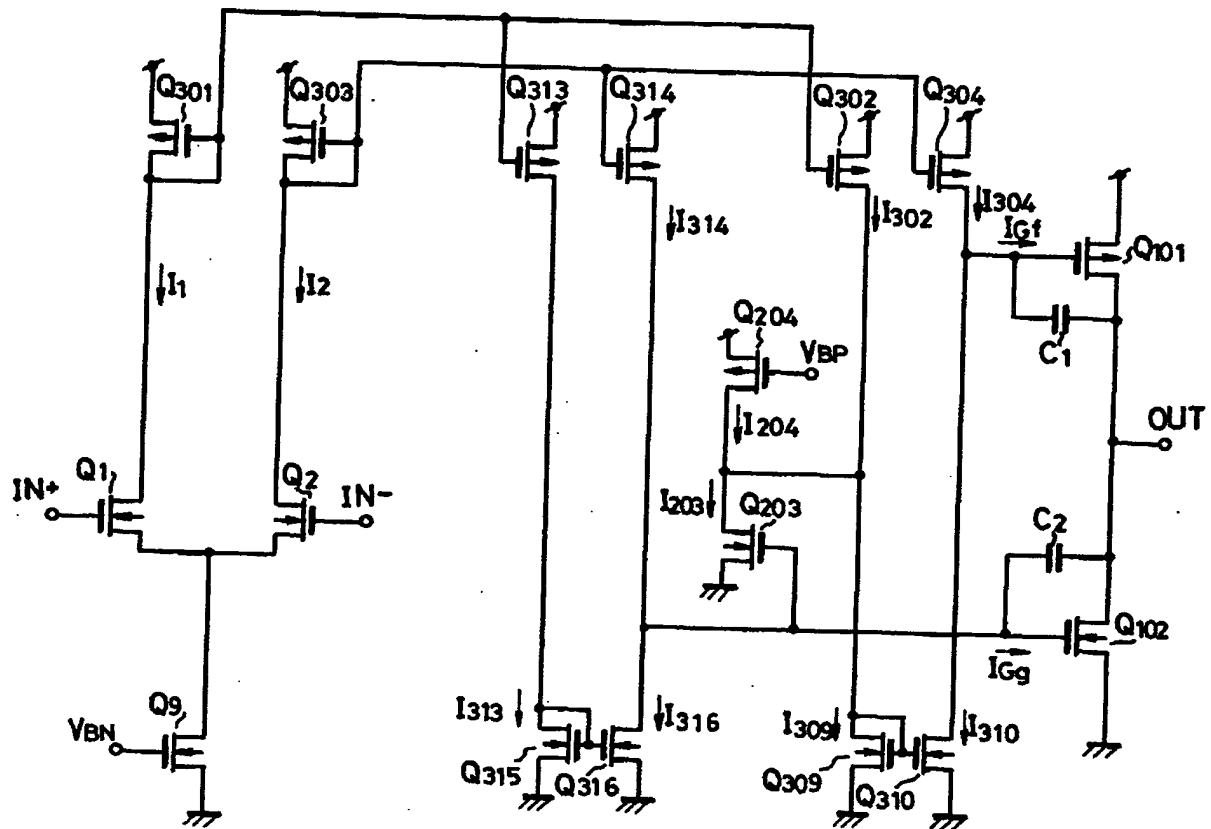






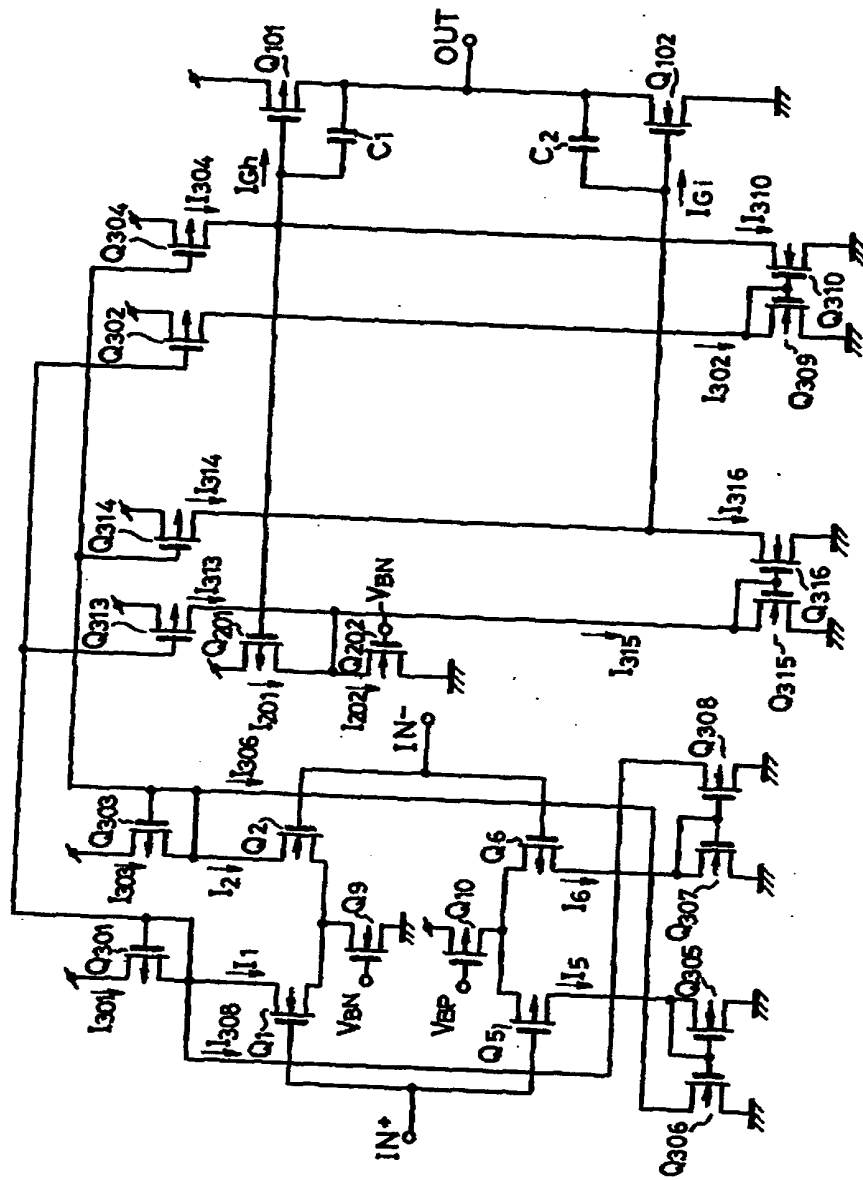


【第4図(c)】

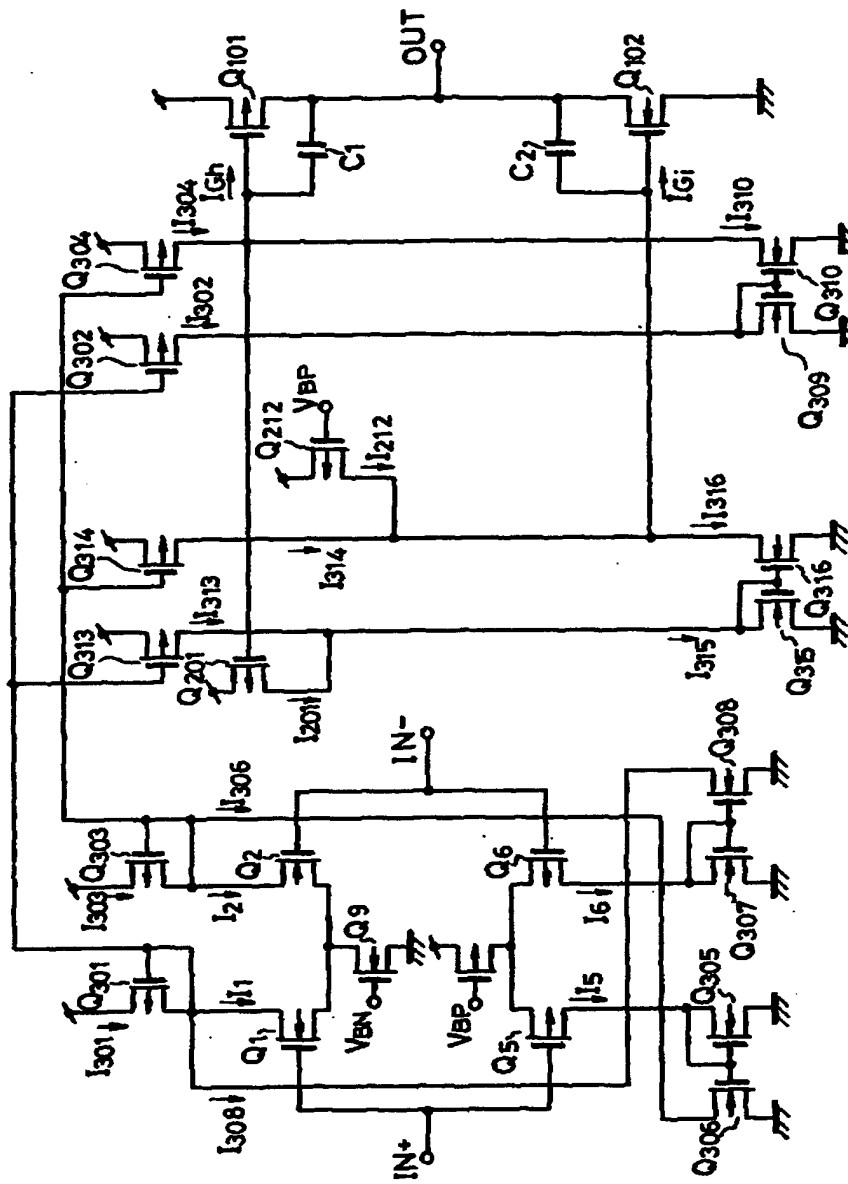




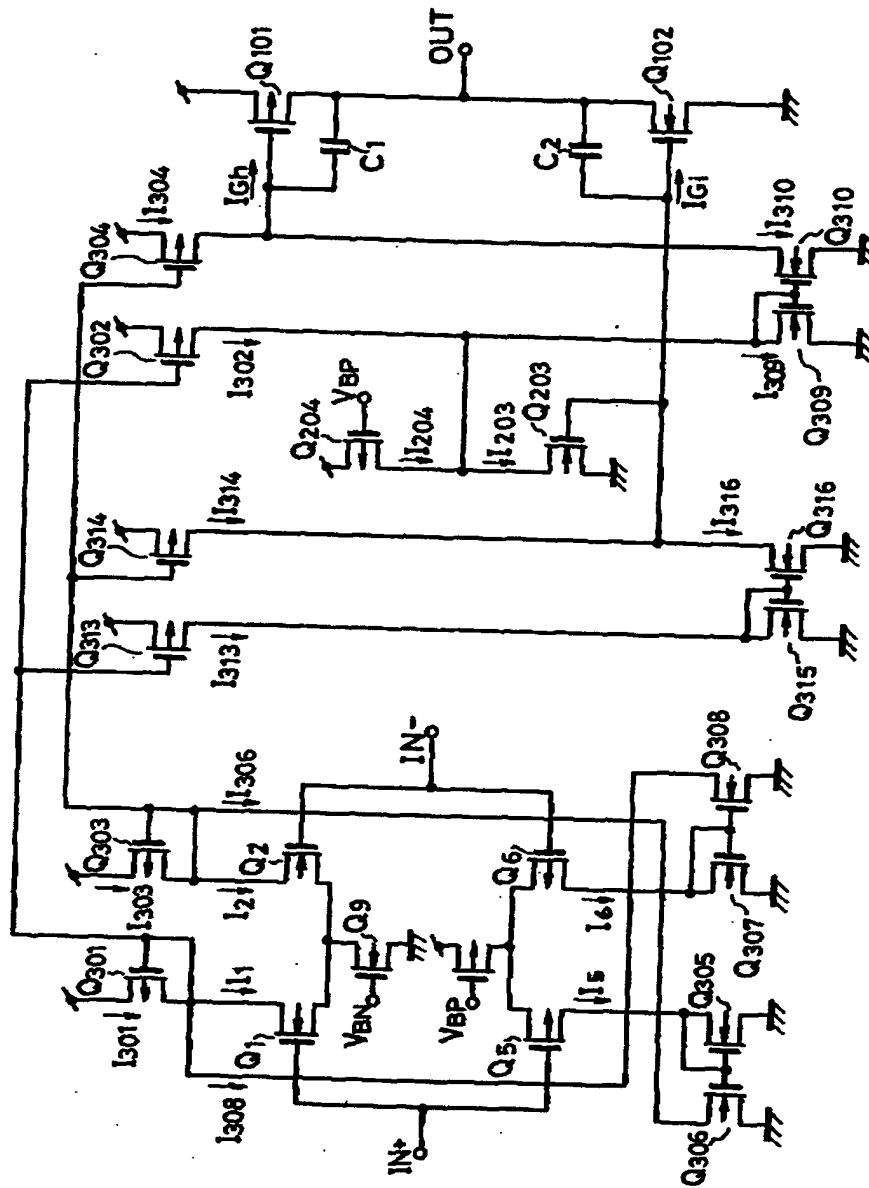
【第5図(a)】



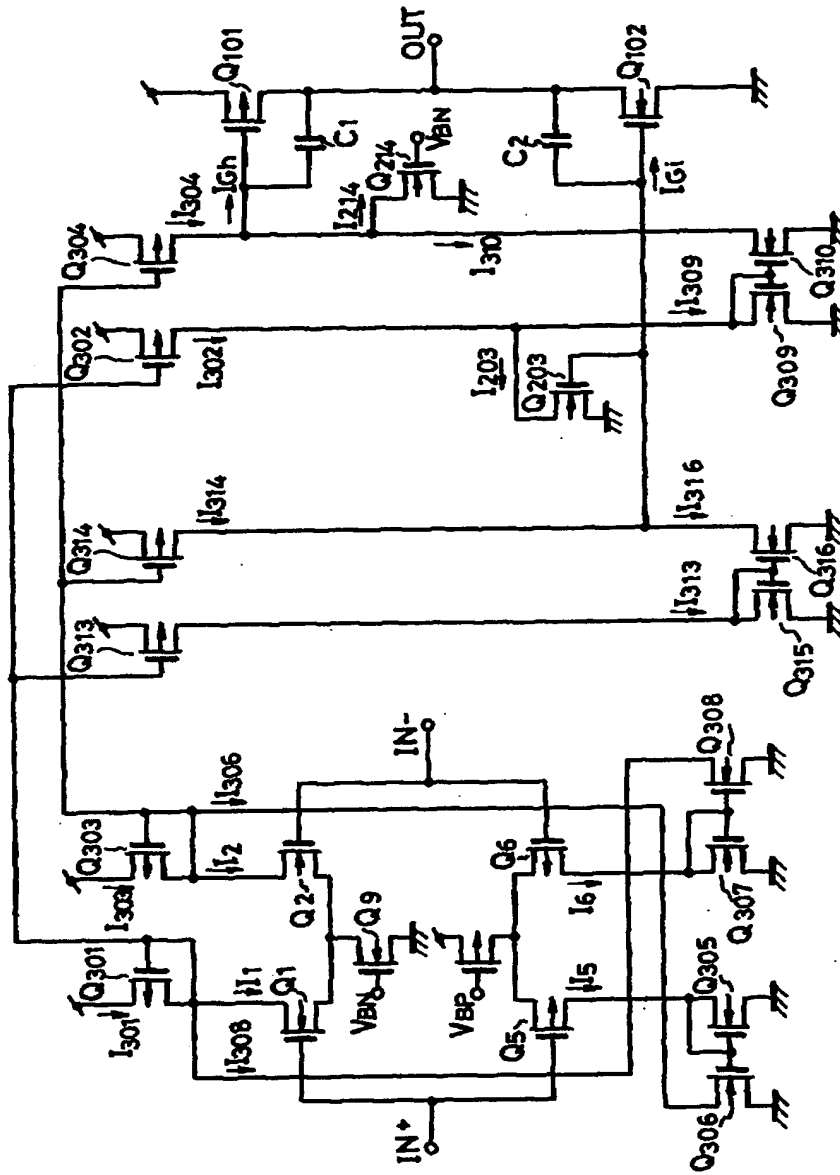
【第5図(b)】



【第5図(c)】



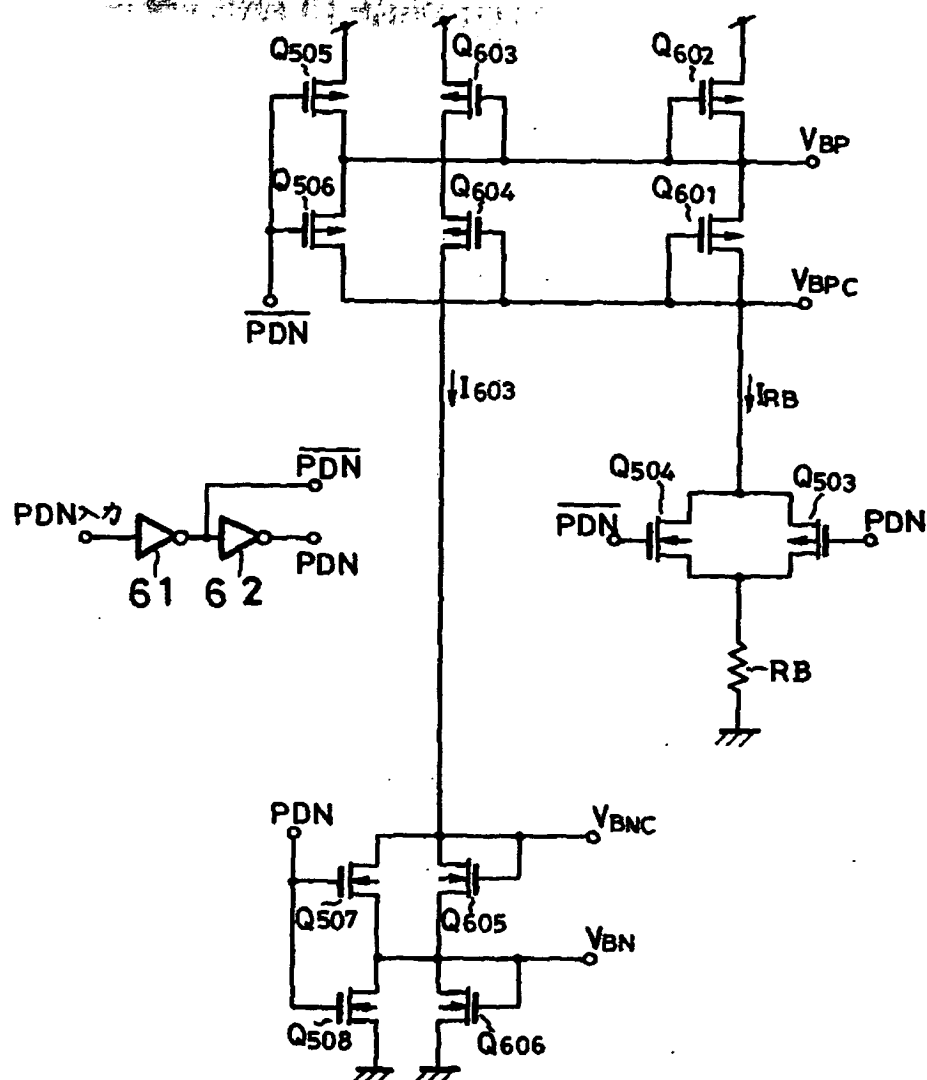
【第5図(d)】







【第6図(b)】



**THIS PAGE BLANK (USP 10)**